

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 60442 호  
Application Number PATENT-2001-0060442

출원년월일 : 2001년 09월 28일  
Date of Application SEP 28, 2001

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

RECEIVED  
APR-8 2002  
IC 2200 J. Hall Room

2002 년 01 월 25 일

특 허 청 장  
COMMISSIONER

## 【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【참조번호】 0001  
 【제출일자】 2001.09.28  
 【발명의 명칭】 저유전율 절연막을 사용하는 박막 트랜지스터 기판 및 그 제조 방법  
 【발명의 영문명칭】 A THIN FILM TRANSISTOR SUBSTRATE OF USING INSULATING LAYERS HAVING LOW DIELECTRIC CONSTANT AND A METHOD OF MANUFACTURING THE SAME

## 【출원인】

【명칭】 삼성전자 주식회사  
 【출원인코드】 1-1998-104271-3

## 【대리인】

【명칭】 유미특허법인 (대표변리사김원호송만호)  
 【대리인코드】 9-2001-100003-6  
 【지정된변리사】 이원일  
 【포괄위임등록번호】 2001-040150-0

## 【발명자】

【성명의 국문표기】 홍완식  
 【성명의 영문표기】 HONG, WAN SHICK  
 【주민등록번호】 651016-1010710  
 【우편번호】 137-060  
 【주소】 서울특별시 서초구 방배동 1038번지 대우효령아파트 104동 402호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 최준후  
 【성명의 영문표기】 CHOI, JOON HOO  
 【주민등록번호】 640818-1796612  
 【우편번호】 120-768  
 【주소】 서울특별시 서대문구 영천동 100번지 삼호아파트 108동 303호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】

김상갑

【성명의 영문표기】

KIM, SANG GAB

【주민등록번호】

680425-1628213

【우편번호】

134-070

【주소】

서울특별시 강동구 명일동 309-1번지 삼익아파트  
205동 913호

【국적】

KR

## 【발명자】

【성명의 국문표기】

정관욱

【성명의 영문표기】

JUNG, KWAN WOOK

【주민등록번호】

721125-1400519

【우편번호】

442-726

【주소】

경기도 수원시 팔달구 영통동 벽적골주공아파트  
911동 1502호

【국적】

KR

## 【발명자】

【성명의 국문표기】

정규하

【성명의 영문표기】

JUNG, KYU HA

【주소】

서울특별시 강남구 대치1동 삼성아파트 110동 1401  
호

【국적】

US

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합  
니다. 대리인 유미특허법인(대표변  
리사김원호송만호) (인)

## 【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

114 면 114,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

143,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

절연 기판 위에 게이트 배선이 형성되어 있고, 게이트 배선과 절연되어 교차하는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터가 형성되어 있다. 박막 트랜지스터 위에는 PECVD를 통하여 증착한 a-Si:C:O막 또는 a-Si:O:F막으로 이루어진 보호막이 형성되어 있고, 보호막 위에는 박막 트랜지스터와 연결되어 있는 화소 전극이 형성되어 있다. 이렇게 하면, 기생 용량 문제를 해소하여 고개구율 구조를 실현할 수 있고, 공정 시간을 단축할 수 있다.

**【대표도】**

도 2

**【색인어】**

박막트랜지스터기판, 저유전율 CVD막, 고개구율, 기생용량



## 【명세서】

## 【발명의 명칭】

저유전율 절연막을 사용하는 박막 트랜지스터 기판 및 그 제조 방법{A THIN FILM TRANSISTOR SUBSTRATE OF USING INSULATING LAYERS HAVING LOW DIELECTRIC CONSTANT AND A METHOD OF MANUFACTURING THE SAME}

## 【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,

도 2는 도 1의 II-II 선에 대한 단면도이고,

도 3a, 4a, 5a 및 6a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선에 대한 단면도이고,

도 4b는 도 4a에서 IVb-IVb' 선에 대한 단면도로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선에 대한 단면도로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6b는 도 6a에서 VIb-VIb' 선에 대한 단면도로서 도 6의 다음 단계를 도시한 단면도이고,

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 8 및 도 9는 각각 도 7의 VII-VII' 선 및 IX-IX'선에 대한 단면도이고,

도 10a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 10b 및 10c는 각각 도 10a에서 Xb-Xb' 선 및 Xc-Xc' 선에 대한 단면도이며,

도 11a 및 11b는 각각 도 10a에서 Xb-Xb' 선 및 Xc-Xc' 선에 대한 단면도로서, 도 10b 및 도 10c 다음 단계에서의 단면도이고,

도 12a는 도 11a 및 11b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 12b 및 12c는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선에 대한 단면도이며,

도 13a, 14a, 15a와 도 13b, 14b, 15b는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선에 대한 단면도로서 도 12b 및 12c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 16a 및 도 16b는 도 15a 및 15b 다음 단계에서의 박막 트랜지스터 기판의 단면도이고,

도 17a는 도 16a 및 도 16b의 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 17b 및 17c는 각각 도 17a에서 XVIIb-XVIIb' 선 및 XVIIc-XVIIc' 선에 대한 단면도이고,

도 18은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 19는 도 18에 도시한 박막 트랜지스터 기판을 절단선 XIX-XIX'을 따라 나타낸 단면도이고,

도 20a는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 첫 번째 제조 단계에서의 기판의 배치도이고,

도 20b는 도 20a에 도시한 절단선 XXb-XXb'을 따라 나타낸 단면도이고,

도 21a는 도 20a의 다음 단계에서의 기판의 배치도이고,

도 21b는 도 21a에 도시한 절단선 XXIb-XXIb'을 따라 나타낸 단면도이고,

도 22a는 도 22a의 다음 단계에서의 기판의 배치도이고,

도 22b는 도 22a에 도시한 절단선 XXIIb-XXIIb'을 따라 나타낸 단면도이고,

도 23은 도 22b의 다음 단계에서의 기판의 단면도이고,

도 24a는 도 23의 다음 단계에서의 기판의 배치도이고,

도 24b는 도 24a에 도시한 절단선 XXIVb-XXIVb'을 따라 나타낸 단면도이고,

도 25부터 도 26은 도 23과 도 24b 사이에 실시되는 제조 공정의 단면을 나타낸 것이고,

도 27a는 도 24a의 다음 단계에서의 기판의 배치도이고,

도 27b는 도 27a에 도시한 절단선 XXVIIb-XXVIIb'을 따라 나타낸 단면도이고,

도 28은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 배치도이고,

도 29는 본 발명의 제5 실시예에 따른 반사형 액정 표시 장치용 박막 트랜지스터 기관의 구조를 도시한 배치도이고,

도 30은 도 29에서 XXX'-XXX' 선을 따라 잘라 도시한 단면도이고,

도 31a, 32a, 33a 및 34a는 본 발명의 제5 실시예에 따른 반투과형 액정 표시 장치용 박막 트랜지스터 기관을 제조하는 중간 과정에서의 박막 트랜지스터 기관의 배치도이고,

도 31b는 도 31a에서 XXXIb-XXXVIb' 선을 따라 절단한 단면도이고,

도 32b는 도 32a에서 XXXIIb-XXXIIb' 선을 따라 잘라 도시한 도면으로서 도 31b의 다음 단계를 도시한 단면도이고,

도 33b는 도 33a에서 XXXIIIb-XXXIIIb' 선을 따라 잘라 도시한 도면으로서 도 32b의 다음 단계를 도시한 단면도이고,

도 34b는 도 34a에서 XXXIVb-XXXIVb' 선을 따라 잘라 도시한 도면으로서 도 33b의 다음 단계를 도시한 단면도이고,

도 35는 본 발명의 제6 실시예에 따른 반투과형 액정 표시 장치에서의 박막 트랜지스터 기관의 구조를 도시한 배치도이고,

도 36은 도 35에서 XXXVI-XXXVI' 선을 따라 잘라 도시한 반투과형 액정 표시 장치의 단면도이고,

도 37b는 도 37a에서 XXXVIIb-XXXVIIb' 선을 따라 잘라 도시한 도면으로서 도 9b의 다음 단계를 도시한 단면도이고,

도 38b는 도 38a에서 XXXVIIIb-XXXVIIIb' 선을 따라 잘라 도시한 도면으로서 도 37b의 다음 단계를 도시한 단면도이고,

도 39b는 도 39a에서 XXXIXb-XXXIXb' 선을 따라 잘라 도시한 도면으로서 도 38b의 다음 단계를 도시한 단면도이고,

도 40은 본 발명의 제7 실시예에 따른 박막 트랜지스터 기관의 단면도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<47> 본 발명은 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

<48> 박막 트랜지스터 기관은 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등에서 각 화소를 독립적으로 구동하기 위한 회로 기관으로써 사용된다. 박막 트랜지스터 기관은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 게이트 배선을 덮어 절연하는 게이트 절연막 및 박막 트랜지스터와 데이터 배선을 덮어 절연하는 보호막 등으로 이루어져 있다. 박막 트랜지스터는 게이트 배선의 일부인 게이트 전극과 채널을 형성하는 반도체층, 데이터 배선의 일부인 소스 전극과 드레인 전극 및 게이트 절연막과 보호막

등으로 이루어진다. 박막 트랜지스터는 게이트 배선을 통하여 전달되는 주사 신호에 따라 데이터 배선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자이다.

<49> 이러한 박막 트랜지스터 기관을 사용하는 대표적 장치로서 액정 표시 장치가 있는데, 액정 표시 장치가 점차 대형화, 고정세화 되어 감에 따라 각종 기생 용량의 증가로 인한 신호 왜곡 문제가 시급히 해결해야 할 문제로 대두되고 있다. 또한, 노트북 컴퓨터에서의 소비 전력 감소와 TV용 액정 표시 장치에서의 가시청 거리를 증가시키기 위한 휘도 향상의 필요성에 따라 개구율 증대 요구가 커지고 있다. 그런데 개구율을 증대시키기 위하여는 화소 전극을 데이터 배선 위까지 중첩되도록 형성할 필요성이 있으나, 이렇게 할 경우 화소 전극과 데이터 선 사이의 기생 용량이 증가하게 된다. 기생 용량 증가로 인한 문제를 해결하기 위하여는 화소 전극과 데이터선 사이의 수직 이격을 충분히 확보하여야 하는데, 수직 이격 확보를 위하여 종래에는 주로 유기 절연막으로 보호막을 형성한다. 그러나 유기 절연막을 이용하는 공정은 다음과 같은 단점을 가진다. 먼저, 재료비가 고가이다. 특히 스핀 코팅시 손실되는 양이 많아서 재료비의 증가를 부추긴다. 다음, 유기 절연막은 내열성이 부족하여 후속 공정이 제약을 많이 받는다. 또, 재료의 뭉침 등으로 인하여 불순물 입자가 발생하는 빈도가 높다. 상부막 및 하부막과의 접착력이 취약하다. 보호막 위에 형성되는 화소 전극 형성시 식각 오차가 매우 크다.

**【발명이 이루고자 하는 기술적 과제】**

- <50> 본 발명이 이루고자 하는 기술적 과제는 고개구율을 가지며 기생 용량 문제를 가지지 않는 박막 트랜지스터 기판을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <51> 이러한 과제를 해결하기 위하여 본 발명에서는 저유전율 CVD막을 이용한다.
- <52> 구체적으로는, 절연 기판, 상기 절연 기판 위에 형성되어 있는 제1 신호선,
- <53> 상기 제1 신호선 위에 형성되어 있는 제1 절연막, 상기 제1 절연막 위에 형성되어 있으며 상기 제1 신호선과 교차하고 있는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선과 연결되어 있는 박막 트랜지스터, 저유전율 CVD막이며 상기 박막 트랜지스터 위에 형성되어 있으며 상기 박막 트랜지스터의 소정 전극을 노출시키는 제1 접촉구를 가지는 제2 절연막, 상기 제2 절연막 위에 형성되어 있으며 상기 제1 접촉구를 통하여 상기 박막 트랜지스터의 소정 전극과 연결되어 있는 제1 화소 전극을 포함하는 박막 트랜지스터 기판을 마련한다.
- <54> 이 때, 상기 제1 절연막은 저유전율 CVD막인 하부막과 절화규소막인 상부막으로 이루어질 수 있고, 상기 제1 화소 전극은 빛을 반사시키는 불투명한 도전 물질로 이루어질 수 있으며, 상기 제2 절연막은 표면에 요철 패턴을 가질 수 있다. 또, 저유전율 CVD막이고 상기 제1 화소 전극 위에 형성되어 있으며 상기 제1 화소 전극의 소정 부분을 노출시키는 제2 접촉구를 가지는 제3 절연막 및 상기 제3 절연막 위에 형성되어 있으며 상기 제2 접촉구를 통하여 상기 제1 화소 전극과 연결되어 있고 빛을 반사시키는 불투명한 도전 물질로 이루어져 있는 제2 화소

전극을 더 포함하고, 상기 제1 화소 전극은 투명한 도전 물질로 이루어져 있고, 상기 제2 화소 전극은 상기 제1 화소 전극을 투과한 빛이 통과할 수 있는 소정의 개구부를 가질 수 있다. 위에서 저유전율 CVD막은 a-Si:C:O 또는 a-Si:O:F로 이루어질 수 있다. 또, 상기 저유전율 CVD막의 유전율은 2에서 4 사이의 값을 가지는 것이 바람직하다.

<55> 한편, 절연 기판 위에 형성되어 있는 데이터선을 포함하는 데이터 배선, 상기 절연 기판 위에 형성되어 있는 적, 녹, 청의 색필터, 저유전율 CVD막이며 상기 데이터 배선 및 상기 색필터 위에 형성되어 있고 상기 데이터 배선의 소정 부분을 노출시키는 제1 접촉구를 가지는 버퍼층, 상기 버퍼층 위에 형성되어 있으며, 상기 데이터선과 교차하여 화소를 정의하는 게이트선 및 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선, 상기 게이트 배선 위에 형성되어 있고 상기 제1 접촉구의 적어도 일부분을 노출시키는 제2 접촉구를 가지는 게이트 절연막, 상기 게이트 전극 상부의 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 제1 접촉구 및 상기 제2 접촉구를 통하여 상기 데이터선과 연결되어 있으며 적어도 일부분이 상기 반도체층과 접하고 있는 소스용 전극, 상기 반도체층 위에서 상기 소스용 전극과 마주하고 있는 드레인용 전극 및 상기 드레인용 전극과 연결되어 있는 화소 전극을 포함하는 화소 배선을 포함하는 박막 트랜지스터 기판을 마련하여 색필터를 박막 트랜지스터 어레이 아래에 형성할 수도 있다.

<56> 여기서, 상기 반도체층 패턴은 제1 비정질 규소막과, 상기 제1 비정질 규소막보다 밴드 갭이 낮은 제2 비정질 규소막의 이중층 구조로 이루어질 수 있고, 상기



데이터선과 동일한 층 동일한 물질로 형성되어 있으며 상기 반도체층 패턴에 대응하는 부분에 위치하는 광 차단부를 더 포함할 수 있다.

<57> 이러한 박막 트랜지스터 기판은 절연 기판 위에 데이터선을 포함하는 데이터 배선을 형성하는 제1 단계, 상기 기판 상부에 적, 녹, 청의 색필터를 형성하는 제2 단계, 저유전율 CVD막을 증착하여 상기 데이터 배선 및 상기 색필터를 덮는 버퍼층을 형성하는 제3 단계, 상기 절연막 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 제4 단계, 상기 게이트 배선을 덮는 게이트 절연막을 형성하는 제5 단계, 상기 게이트 절연막 위에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 상기 게이트 절연막과 상기 버퍼층에 상기 데이터선 일부를 드러내는 제1 접촉 구멍을 형성하는 제6 단계, 상기 섬 모양의 저항성 접촉층 패턴 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스용 전극 및 드레인용 전극과, 상기 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성하는 제7 단계, 상기 소스용 전극과 상기 드레인용 전극의 사이에 위치하는 상기 저항성 접촉층 패턴의 노출 부분을 제거하여 상기 저항성 접촉층 패턴을 양쪽으로 분리하는 제8 단계를 포함하는 방법을 통하여 제조한다.

<58> 여기서, 제6 단계는 상기 게이트 절연막 위에 비정질 규소막, 불순물이 도핑된 비정질 규소막을 순차적으로 증착하는 단계, 상기 게이트 전극 위의 소정 면적을 덮고 있는 제1 부분, 상기 제1 접촉 구멍이 형성될 부분을 제외한 나머지 부분을 덮고 있으며 상기 제1 부분보다 얇은 제 2 부분으로 이루어지는 감광막 패턴을 형성하는 단계, 상기 감광막의 제 1 부분 및 제 2 부분을 마스크로 하여

그 하부의 상기 불순물이 도핑된 비정질 규소막, 상기 비정질 규소막, 상기 게이트 절연막 및 상기 버퍼층을 식각하여 상기 제 1 접촉 구멍을 형성하는 단계, 상기 감광막 패턴의 제 2 부분을 제거하는 단계, 상기 감광막 패턴의 제 1 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막 및 상기 비정질 규소막을 식각하여 상기 섬 모양의 반도체층 패턴과 상기 저항성 접촉층 패턴을 형성하는 단계, 상기 감광막 패턴의 제 1 부분을 제거하는 단계를 포함하는 단계 일 수 있다.

<59>       또, 절연 기판, 상기 기판 위에 형성되어 있으며 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선, 상기 게이트 배선 위에 형성되어 있으며 적어도 상기 게이트 패드를 노출시키는 접촉구를 가지는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층 패턴, 상기 반도체층 패턴 위에 형성되어 있는 접촉층 패턴, 상기 접촉층 패턴 위에 형성되어 있고 상기 접촉층 패턴과 실질적으로 동일한 형태를 가지며 소스 전극, 드레인 전극, 데이터선 및 데이터 패드를 포함하는 데이터 배선, 상기 데이터 배선 위에 형성되어 있으며 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 노출시키는 접촉구를 가지며, 저유전율 CVD막으로 이루어진 보호막 패턴, 노출되어 있는 상기 게이트 패드, 데이터 패드 및 드레인 전극과 각각 전기적으로 연결되는 투명 전극층 패턴을 포함하는 액정 표시 장치용 박막 트랜지스터 기판을 마련한다.

<60>       이 때, 상기 절연 기판 위의 상기 게이트 배선과 동일한 층에 형성되어 있는 유지 용량선, 상기 유지 용량과 중첩하고 있으며 상기 반도체 패턴과 동일한 층에 형성되어 있는 유지 축전기용 반도체 패턴, 상기 유지 축전기용 반도체 패

턴 위에 형성되어 있으며 상기 유지 축전기용 반도체 패턴과 동일한 평면적 모양을 가지는 유지 축전기용 접촉층 패턴 및 상기 유지 축전기용 접촉층 패턴 위에 형성되어 있으며 상기 유지 축전기용 반도체 패턴과 동일한 평면적 모양을 가지는 유지 축전기용 도전체 패턴을 더 포함하고, 상기 유지 축전기용 도전체 패턴은 상기 투명 전극 패턴의 일부와 연결되어 있을 수 있다.

<61> 이러한 박막 트랜지스터 기판은 절연 기판 위에 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극 및 상기 게이트선과 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계, 게이트 절연막을 형성하는 단계, 반도체층을 형성하는 단계, 도전 물질을 적층하고 패터닝하여 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있는 데이터 패드, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계, 저유전율 CVD막을 증착하여 보호막을 형성하는 단계, 상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계, 투명 도전막을 적층하고 패터닝하여 상기 접촉 구멍을 통하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극과 각각 연결되는 보조 게이트 패드, 보조 데이터 패드 및 화소 전극을 형성하는 단계를 포함하는 방법을 통하여 제조한다.

<62> 이 때, 상기 보호막을 형성하는 단계는 기체 상태의  $\text{SiH}(\text{CH}_3)_3$ ,  $\text{SiO}_2(\text{CH}_3)_4$ ,  $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ ,  $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  중의 적어도 어느 하나를 기본 소스로

사용하고,  $N_2O$  또는  $O_2$ 를 산화제로 사용하여 PECVD법에 의하여 증착하거나, 기체 상태의  $SiH_4$ ,  $SiF_4$  중의 적어도 어느 하나와  $O_2$ 를 첨가한 기체를 사용하여 PECVD법에 의하여 증착하는 단계일 수 있다. 이 때, 불소의 보조 소스로서  $CF_4$ 를 첨가할 수도 있다.

<63>       또, 상기 데이터 배선 및 상기 반도체층은 제1 부분, 상기 제1 부분보다 두께가 두꺼운 제2 부분, 상기 제1 두께보다 두께가 얇은 제3 부분을 가지는 감광막 패턴을 이용하는 사진 식각 공정으로 함께 형성할 수 있고, 상기 사진 식각 공정에서 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이에 위치하도록 형성하고, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 것이 바람직하다. 또, 상기 게이트 절연막을 형성하는 단계는 저유전율 CVD막을 증착하는 제1 단계 및 질화규소막을 증착하는 제2 단계로 이루어지며, 상기 제1 단계와 상기 제2 단계는 진공이 유지되는 상태에서 진행하는 단계일 수 있다. 이상에 상기 저유전율 CVD막의 유전율은 2에서 4 사이의 값을 가진다.

<64>       그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 저저항 배선의 구조를 적용한 박막 트랜지스터 기관 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

<65>       먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구조에 대하여 상세히 설명한다.

<66> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판의 II-II 선에 대한 단면도이다.

<67> 절연 기판(10) 위에 크롬(Cr) 또는 몰리브덴(Mo) 합금 등으로 이루어진 제1 게이트 배선층(221, 241, 261)과 알루미늄(Al) 또는 은(Ag) 합금 등으로 이루어진 제2 게이트 배선층(222, 242, 262)의 이중층으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

<68> 기판(10) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

<69> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(54, 56)이 각각 형성되어 있다.

<70> 저항성 접촉층(54, 56) 및 게이트 절연막(30) 위에는 Cr 또는 Mo 합금 등으로 이루어진 제1 데이터 배선층(621, 651, 661, 681)과 Al 또는 Ag 합금 등으로 이루어진 제2 데이터 배선층(622, 652, 662, 682)의 이중층으로 이루어진 데이터 배선(62, 65, 66, 68)이 형성되어 있다. 데이터 배선(62, 65, 66, 68)은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데

이터선(62)의 분지이며 저항성 접촉층(54)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항성 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

<71> 데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막)으로 이루어진 보호막(70)이 형성되어 있다. PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 유전 상수가 4이하(유전 상수는 2에서 4사이의 값을 가진다.)로 유전율이 매우 낮다. 따라서, 두께가 얇아도 기생 용량 문제가 발생하지 않는다. 또 다른 막과의 접착성 및 스텝 커버리지(step coverage)가 우수하다. 또한 무기질 CVD막이므로 내열성이 유기 절연막에 비하여 우수하다. 아울러 PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 증착 속도나 식각 속도가 질화 규소막에 비하여 4~10배 빠르므로 공정 시간 면에서도 매우 유리하다.

<72> 보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있으며, 면적은  $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며,  $0.5\text{mm} \times 15\mu\text{m}$  이상인 것이 바람직하다.

<73> 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)로 이루어져 있다.

<74> 여기서, 화소 전극(82)은 도1 및 도 2에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

<75> 또, 화소 전극(82)은 데이터선(62)과도 중첩하도록 형성하여 개구율을 극대화하고 있다. 이 처럼 개구율을 극대화하기 위하여 화소 전극(82)을 데이터선(62)과 중첩시켜 형성하더라도 보호막(70)의 유전율이 낮기 때문에 이들 사이에서 형성되는 기생 용량은 문제가 되지 않을 정도로 작다.

<76> 그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 대하여 도 1 및 도 2와 도 3a 내지 도 7b를 참고로 하여 상세히 설명한다.

<77> 먼저, 도 3a 및 3b에 도시한 바와 같이, 기관(10) 위에 물리 화학적 특성이 우수한 Cr 또는 Mo 합금 등을 증착하여 제1 게이트 배선층(221, 241, 261)을 적층하고, 저항이 작은 Al 또는 Ag 합금 등을 증착하여 제2 게이트 배선층(222, 242, 262)을 적층한 다음, 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향으로 뻗어 있는 게이트 배선을 형성한다.

<78> 이 때, 제1 게이트 배선층(221, 241, 261)을 Mo 합금으로 형성하고 제2 게이트 배선층(222, 242, 262)을 Ag 합금으로 형성한 경우에는, 이들 두 층이 모두 Ag 합금 식각제인 인산, 질산, 초산 및 초순수(deionized water)를 혼합한 물질에 의하여 식각된다. 따라서 한 번의 식각 공정으로 이중층의 게이트 배선(22, 24, 26)을 형성할 수 있다. 또 인산, 질산, 초산 및 초순수 혼합물에 의한 Ag 합금과 Mo 합금에 대한 식각비는 Ag 합금에 대한 식각비가 더 크므로 게이트 배선에 필요한 30° 정도의 테이퍼(taper) 각을 얻을 수 있다.

<79> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고, 반도체층(40)과 도핑된 비정질 규소층(50)을 사진 식각하여 게이트 전극(24) 상부의 게이트 절연막(30) 위에 섬 모양의 반도체층(40)과 저항성 접촉층(50)을 형성한다.

<80> 다음, 도 5a 내지 도 5b에 도시한 바와 같이, Cr 또는 Mo 합금 등을 증착하여 제1 데이터 배선층(651, 661, 681)을 적층하고, Al 또는 Ag 합금 등을 증착하여 제2 데이터 배선층(652, 662, 682)을 적층한 후, 사진 식각하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

<81> 이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양



쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다.

이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<82> 다음으로, 도 6a 및 6b에서 보는 바와 같이, a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시켜 보호막(70)을 형성한다. 이 때, a-Si:C:O 막의 경우에는 기체 상태의  $\text{SiH}(\text{CH}_3)_3$ ,  $\text{SiO}_2(\text{CH}_3)_4$ ,  $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ ,  $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  등을 기본 소스로 사용하고,  $\text{N}_2\text{O}$  또는  $\text{O}_2$  등의 산화제와 Ar 또는 He 등을 혼합한 기체를 흘리면서 증착한다. 또, a-Si:O:F 막의 경우에는  $\text{SiH}_4$ ,  $\text{SiF}_4$  등에  $\text{O}_2$ 를 첨가한 기체를 흘리면서 증착한다. 이 때, 불소의 보조 소스로서  $\text{CF}_4$ 를 첨가할 수도 있다.

<83> 이어, 사진 식각 공정으로 게이트 절연막(30)과 함께 보호막(70)을 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있으며, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은  $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며,  $0.5\text{mm} \times 15\mu\text{m}$  이상인 것이 바람직하다.

<84> 다음, 마지막으로 도 1 및 2에 도시한 바와 같이, ITO 또는 IZO막을 증착하고 사진 식각하여 제1 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 제2 및 제3 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 형

성한다. IT0나 IZ0를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체는 질소를 이용하는 것이 바람직하다. 이는 접촉 구멍(74, 76, 78)을 통해 노출되어 있는 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

<85>        이상과 같이 PECVD로 형성한 a-Si:C:O 또는 a-Si:O:F 등의 저유전율 절연막(저유전율 CVD막)을 보호막(70)으로 사용함으로써 기생 용량 문제를 해결할 수 있고, 따라서 개구율을 극대화 할 수 있다. 뿐만 아니라 증착 및 식각 속도가 빨라 공정 시간을 감축할 수 있다.

<86>        이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<87>        먼저, 도 7 내지 도 9를 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

<88>        도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 8 및 도 9는 각각 도 7에 도시한 박막 트랜지스터 기판을 VIII-VIII' 선 및 IX-IX' 선에 대한 단면도이다.

<89>        먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 크롬(Cr) 또는 몰리브덴(Mo) 합금 등으로 이루어진 제1 게이트 배선층(221, 241, 261)과 알루미늄(Al)

또는 은(Ag) 합금 등으로 이루어진 제2 게이트 배선층(222, 242, 262)의 이중층으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함한다.

<90>       기관(10) 위에는 게이트선(22)과 평행하게 유지 전극선(28)이 형성되어 있다. 유지 전극선(28) 역시 제1 게이트 배선층(281)과 제2 게이트 배선층(282)의 이중층으로 이루어져 있다. 유지 전극선(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 유지 전극선(28)에는 상부 기관의 공통 전극과 동일한 전압이 인가되는 것이 보통이다.

<91>       게이트 배선(22, 24, 26) 및 유지 전극선(28) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

<92>       게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

<93>       저항성 접촉층 패턴(55, 56, 58) 위에는 Cr 또는 Mo 합금 등으로 이루어진 제1 데이터 배선층(621, 641, 651, 661, 681)과 Al 또는 Ag 합금 등으로 이루어진 제2 데이터 배선층(622, 642, 652, 662, 682)의 이중층으로 이루어진 데이터

배선(62, 64, 65, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부(62, 68, 65)를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극선(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극선(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

<94> 데이터 배선(62, 64, 65, 66, 68)은 제1 실시예에서와 마찬가지로 Al 또는 Ag 단일층으로 형성할 수도 있다.

<95> 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

<96> 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전

채 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<97> 데이터 배선(62, 64, 65, 66, 68) 위에는 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막)으로 이루어진 보호막(70)이 형성되어 있다. PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 유전 상수가 4이하로 유전율이 매우 낮다. 따라서, 두께가 얇아도 기생 용량 문제가 발생하지 않는다. 또 다른 막과의 접착성 및 스텝 커버리지(step coverage)가 우수하다. 또한 무기질 CVD막이므로 내열성이 유기 절연막에 비하여 우수하다. 아울러 PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 증착 속도나 식각 속도가 질화 규소막에 비하여 4~10배 빠르므로 공정 시간 면에서도 매우 유리하다.

<98> 보호막(70)은 드레인 전극(66), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다.

<99> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO도

는 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달 받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<100> 그러면, 도 7 내지 도 9의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 8 내지 도 10과 도 10a 내지 도 17c를 참조하여 설명하기로 한다.

<101> 먼저, 도 10a 내지 10c에 도시한 바와 같이, 제1 실시예와 동일하게 물리·화학적 특성이 우수한 Cr 또는 Mo 합금 등을 증착하여 제1 게이트 배선층(221, 241, 261, 281)을 적층하고, 저항이 작은 Al 또는 Ag 합금 등을 증착하여 제2 게이트 배선층(222, 242, 262, 282)을 적층한 다음, 사진 식각하여 게이트선(22), 게이트 패드(24), 게이트 전극(26)을 포함하는 게이트 배선과 유지 전극선(28)을 형성한다.

<102> 다음, 도 11a 및 11b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500

$\text{\AA}$  내지  $5,000 \text{ \AA}$ ,  $500 \text{ \AA}$  내지  $2,000 \text{ \AA}$ ,  $300 \text{ \AA}$  내지  $600 \text{ \AA}$ 의 두께로 연속 증착하고, 이어 Cr 또는 Mo 합금 등으로 이루어진 제1 도전막(601)과 Al 또는 Ag 합금으로 이루어진 제2 도전막(602) 스퍼터링 등의 방법으로 증착하여 도전체층(60)을 형성한 다음 그 위에 감광막(110)을  $1\mu\text{m}$  내지  $2\mu\text{m}$ 의 두께로 도포한다.

<103> 그 후, 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여, 도 12b 및 12c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의  $1/2$  이하로 하는 것이 바람직하며, 예를 들면,  $4,000 \text{ \AA}$  이하인 것이 좋다.

<104> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<105> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을

이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<106> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<107> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<108> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.



<109> 먼저, 도 13a 및 13b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<110> 이렇게 하면, 도 13a 및 도 13b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 68)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<111> 이어, 도 14a 및 14b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광

막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어,  $\text{SF}_6$ 과  $\text{HCl}$ 의 혼합 기체나,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<112> 이렇게 하면, 도 14a 및 14b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

<113> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<114> 다음, 도 15a 및 15b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다.

전자의 경

우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건 하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는  $CF_4$ 와  $HCl$ 의 혼합 기체나  $CF_4$ 와  $O_2$ 의 혼합 기체를 들 수 있으며,  $CF_4$ 와  $O_2$ 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<115>       이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

<116>       마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

<117>       앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이

비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<118> 다음, 도 16a 및 도 16b에 도시한 바와 같이, a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시켜 보호막(70)을 형성한다. 이 때, a-Si:C:O 막의 경우에는 기체 상태의  $\text{SiH}(\text{CH}_3)_3$ ,  $\text{SiO}_2(\text{CH}_3)_4$ ,  $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ ,  $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  등을 기본 소스로 사용하고,  $\text{N}_2\text{O}$  또는  $\text{O}_2$  등의 산화제와 Ar 또는 He 등을 혼합한 기체를 흘리면서 증착한다. 또, a-Si:O:F 막의 경우에는  $\text{SiH}_4$ ,  $\text{SiF}_4$  등에  $\text{O}_2$ 를 첨가한 기체를 흘리면서 증착한다. 이 때, 불소의 보조 소스로서  $\text{CF}_4$ 를 첨가할 수도 있다.

<119> 이어, 도 17a 내지 도 17c에 도시한 바와 같이, 보호막(70)을 게이트 절연막(30)과 함께 사진 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은  $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며,  $0.5\text{mm} \times 45\mu\text{m}$  이상인 것이 바람직하다.

<120> 마지막으로, 도 8 내지 도 10에 도시한 바와 같이,  $400 \text{ \AA}$  내지  $500 \text{ \AA}$  두께의 ITO층 또는 IZO층을 증착하고 사진 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(86) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.

<121> 이때, 화소 전극(82), 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 IZO로 형성하는 경우에는 식각액으로 크롬 식각액을 사용할 수 있어서 이들을 형성하기 위한 사진 식각 과정에서 접촉구를 통해 드러난 데이터 배선이나 게이트 배선 금속이 부식되는 것을 방지할 수 있다. 이러한 크롬 식각액으로는  $(\text{HNO}_3 / (\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6 / \text{H}_2\text{O})$  등이 있다. 또한, 접촉부의 접촉 저항을 최소화하기 위해서는 IZO를 상온에서  $200^\circ\text{C}$  이하의 범위에서 적층하는 것이 바람직하며, IZO 박막을 형성하기 위해 사용하는 표적(target)은  $\text{In}_2\text{O}_3$  및  $\text{ZnO}$ 를 포함하는 것이 바람직하며,  $\text{ZnO}$ 의 함유량은 15-20 at% 범위인 것이 바람직하다.

<122> 한편, ITO나 IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체로는 질소를 사용하는 것이 바람직하며, 이는 접촉 구멍(72, 74, 76, 78)을 통해 드러난 금속막(24, 64, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

<123> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)을 분리함으로써 제조 공정을 단순화할 수 있다.

<124> 본 발명에 따른 CVD로 형성한  $\text{a-Si:C:O}$  막 또는  $\text{a-Si:O:F}$  막(저유전율 CVD 막)은 색필터 위에 박막 트랜지스터 어레이를 형성하는 AOC(array on color filter) 구조에서 색필터와 박막 트랜지스터를 분리하는 버퍼층으로 사용하여도 유용하다.

<125> 도 18은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 19는 도 18에 도시한 박막 트랜지스터 기판을 절단선 XIX-XIX'을 따라 나타낸 단면도이다. 도 19에는 박막 트랜지스터 기판인 하부 기판과 이와 마주하는 상부 기판도 함께 도시하였다.

<126> 먼저, 하부 기판에는, 절연 기판(100)의 상부에 구리, 구리 합금, 은, 은 합금, 알루미늄 및 알루미늄 합금 등의 물질 중 어느 하나로 이루어진 하층(201)과 크롬, 몰리브덴, 몰리브덴 합금, 질화 크롬 및 질화 몰리브덴 등의 물질 중 어느 하나로 이루어진 상층(201)을 포함하는 데이터 배선(120, 121, 124)이 형성되어 있다.

<127> 데이터 배선(120, 121, 124)은 세로 방향으로 뻗어 있는 데이터선(120), 데이터선(120)의 끝에 연결되어 있어 외부로부터 화상 신호를 전달받아 데이터선(120)으로 전달하는 데이터 패드(124) 및 데이터선(120)의 분지로 기판(100)의 하부로부터 이후에 형성되는 박막 트랜지스터의 반도체층(170)으로 입사하는 빛을 차단하는 광 차단부(121)를 포함한다. 여기서, 광 차단부(121)는 누설되는 빛을 차단하는 블랙 매트릭스의 기능도 함께 가지는데, 데이터선(120)과 분리하여 단절된 배선으로 형성할 수 있다.

<128> 데이터 배선(120, 121, 124)은 이중막으로 형성되어 있지만, 구리 또는 구리 합금 또는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 도전 물질로 이루어진 단일막으로 형성할 수도 있다.

<129> 여기서, 데이터 배선(120, 121, 124)을 이후에 형성되는 화소 배선(410, 411, 412) 및 보조 패드(413, 414)가 ITO(indium tin oxide)인 것을 고려하여 하층(201)을 저항이 작은 물질인 알루미늄, 알루미늄 합금, 은, 은 합금, 구리(Cu) 및 구리 합금 등으로 형성하고 상층(202)은 다른 물질 특히, ITO와 접촉 특성이 좋은 물질인 크롬으로 형성한 경우를 예로 한 것이다. 구체적인 예로, 하층(201)을 Al-Nd로 형성하고, 상층(202)을 CrNx로 형성할 수 있다.

<130> 화소 배선(410, 411, 412) 및 보조 패드(413, 414)가 IZO(indium zinc oxide)인 경우에는 데이터 배선(120, 121, 124)을 알루미늄 또는 알루미늄 합금의 단일막으로 만드는 것이 바람직하며, 구리가 IZO 및 ITO와의 접촉 특성이 우수하므로 구리의 단일막으로 형성할 수도 있다..

<131> 하부 절연 기판(100)의 위에는 가장자리 부분이 데이터 배선(120, 121)의 가장 자리와 중첩하는 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)가 각각 형성되어 있다. 여기서, 색필터(131, 132, 133)는 데이터선(120)을 모두 덮도록 형성할 수 있다.

<132> 데이터 배선(120, 121, 124) 및 색필터(131, 132, 133) 위에는 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막)으로 이루어진 버퍼층(140)이 형성되어 있다. 여기서, 버퍼층(140)은 색필터(131, 132, 133)로부터의 아웃개싱(outgassing)을 막고 색필터 자체가 후속 공정에서의 열 및 플라스마 에너지에 의하여 손상되는 것을 방지하기 위한 층이다. 또, 버퍼층(140)은 최하부의 데이터 배선(120, 121, 124)과 박막 트랜지스터 어레이를 분리하고 있으므로 이들 사

이의 기생 용량 저감을 위해서는 유전율이 낮고 두께가 두꺼울수록 유리하다.

이러한 점을 고려할 때 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막)은 버퍼층(140)으로 사용하기에 적격이다. 즉, 유전율이 낮고, 증착 속도가 매우 빠르며,

BCB(bisbenzocyclobutene) 또는 PFCB(perfluorocyclobutene) 등의 유기 절연 물질에 비하여 가격이 저렴하다. 또한 a-Si:O:C 박막은 상온에서 400℃에 이르는 넓은 온도 범위에서 우수한 절연 특성을 가진다.

<133> 버퍼층(140) 위에는 상부에 구리, 구리 합금, 은, 은 합금, 알루미늄 및 알루미늄 합금 등의 물질 중 어느 하나로 이루어진 하층(501)과 크롬, 몰리브덴, 몰리브덴 합금, 질화 크롬, 질화 몰리브덴 등의 물질 중 어느 하나로 이루어진 상층(502)을 포함하는 이중층 구조의 게이트 배선이 형성되어 있다.

<134> 게이트 배선은 가로 방향으로 뻗어 데이터선(120)과 교차하여 단위 화소를 정의하는 게이트선(150), 게이트선(150)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(150)으로 전달하는 게이트 패드(152) 및 게이트선(150)의 일부인 박막 트랜지스터의 게이트 전극(151)을 포함한다.

<135> 여기서, 게이트선(150)은 후술할 화소 전극(410)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(410)과 게이트선(150)의 중첩으로 발생하는 유지 용량이 충분하지 않을 경우 유지 용량용 공통 전극을 형성할 수도 있다.

<136> 이와 같이, 게이트 배선을 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로



만드는 것이 바람직하며, Al( 또는 Al 합금)\Cr의 이중층 또는 Cu\Cr의 이중층이 그 예이다. 또한, 접촉 특성을 개선하기 위해 질화 크롬막이나 질화 몰리브덴막 등을 추가할 수도 있다.

<137> 게이트 배선(150, 151, 152)은 저저항을 가지는 구리 또는 알루미늄 또는 알루미늄 합금 등의 단일막으로 형성할 수도 있다.

<138> 게이트 배선(150, 151, 152) 및 버퍼층(140) 위에는 저온 증착 게이트 절연막(160)이 형성되어 있다. 이 때, 저온 증착 게이트 절연막(160)은 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등으로 형성할 수 있다. 본 발명에 따른 박막 트랜지스터 구조에서는 색필터가 하부 기판에 형성되므로, 게이트 절연막은 고온으로 증착되는 통상의 절연막이 아닌 저온에서 증착이 가능한 예를 들어, 250℃ 이하의 저온 조건에서 증착이 가능한 저온 증착 절연막을 사용한다.

<139> 그리고, 게이트 전극(151)의 게이트 절연막(160) 위에는 이중층 구조의 반도체층(171)이 섬 모양으로 형성되어 있다. 이중층 구조의 반도체층(171)에서 하층 반도체층(701)은 밴드 갭이 높은 비정질 규소로 이루어지고, 상층 반도체층(702)은 하층 반도체(701)에 비하여 밴드 갭이 낮은 통상의 비정질 규소로 이루어진다. 예를 들어, 하층 반도체층(701)의 밴드 갭을 1.9~2.1 eV로, 상층 반도체층(702)의 밴드 갭을 1.7~1.8 eV로 하여 형성할 수 있다. 여기서, 하층 반도체층(701)이 50~200 Å의 두께로 형성하고, 상층 반도체층(702)은 1000~2000 Å의 두께로 형성한다.

<140> 이와 같이, 밴드 갭이 서로 다른 상층 반도체층(702)과 하층 반도체층(701)의 사이에는 두 층의 밴드 갭의 차이에 해당하는 만큼의 밴드 오프셋이 형성된다. 이 때, TFT가 온(ON) 상태가 되면, 두 반도체층(701, 702)의 사이에 위치하는 밴드 오프셋 영역에 채널이 형성된다. 이 밴드 오프셋 영역은 기본적으로 동일한 원자 구조를 가지고 있으므로, 결함이 적어 양호한 TFT의 특성을 기대할 수 있다.

<141> 반도체층(171)은 단일층으로 형성할 수도 있다.

<142> 반도체층(171) 위에는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 또는 미세 결정화된 규소 또는 금속 실리사이드 따위를 포함하는 저항성 접촉층(ohmic contact layer)(182, 183)이 서로 분리되어 형성되어 있다.

<143> 저항성 접촉층(182, 183) 위에는 ITO로 이루어진 소스용 및 드레인용 전극(412, 411) 및 화소 전극(410)을 포함하는 화소 배선(410, 411, 412)이 형성되어 있다. 소스용 전극(412)은 게이트 절연막(160) 및 버퍼층(140)에 형성되어 있는 접촉 구멍(161)을 통하여 데이터선(120)과 연결되어 있다. 드레인용 전극(411)은 화소 전극(410)과 연결되어 있고, 박막 트랜지스터로부터 화상 신호를 받아 화소 전극(410)으로 전달한다. 화소 배선(410, 411, 412)은 ITO 또는 IZO 따위의 투명한 도전 물질로 만들어진다.

<144> 또한, 화소 배선(410, 411, 412)과 동일한 층에는 접촉 구멍(162, 164)을 통하여 게이트 패드(152) 및 데이터 패드(124)와 각각 연결되어 있는 보조 게이트 패드(413) 및 보조 데이터 패드(414)가 형성되어 있다. 여기서, 보조 게이트 패드(413)는 게이트 패드(152)의 상부막(502)인 크롬막과 직접 접촉하고 있으며

, 보조 데이터 패드(414) 또한 데이터 패드(124)의 상부막(202)인 크롬막과 직접 접촉하고 있다. 이때, 게이트 패드(152) 및 데이터 패드(124)가 질화 크롬막이나 질화 몰리브덴막을 포함하는 경우에는 보조 게이트 패드(413) 및 보조 데이터 패드(414)는 질화 크롬막이나 질화 몰리브덴막과 접촉하는 것이 바람직하다. 이들은 패드(152, 124)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 화소 전극(410)은 또한 이웃하는 게이트선(150) 및 데이터선(120)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다.

<145> 여기서, 저항성 접촉층(182, 183)은 IT0의 소스용 및 드레인용 전극(412, 411)과 반도체층(171) 사이의 접촉 저항을 줄이는 기능을 가지며, 미세 결정화된 규소층 또는 몰리브덴, 니켈, 크롬 등의 금속 실리사이드가 포함될 수 있으며, 실리사이드용 금속막이 잔류할 수도 있다.

<146> 소스용 및 드레인용 전극(412, 411)의 상부에는 박막 트랜지스터를 보호하기 위한 보호막(190)이 형성되어 있으며, 그 상부에는 광 흡수가 우수한 짙은 색을 가지는 감광성 유색 유기막(430)이 형성되어 있다. 이때, 유색 유기막(430)은 박막 트랜지스터의 반도체층(171)으로 입사하는 빛을 차단하는 역할을 하고, 유색 유기막(430)의 높이를 조절하여 하부 절연 기판(100)과 이와 마주하는 상부 절연 기판(200) 사이의 간격을 유지하는 스페이서로 사용된다. 여기서, 보호막(190)과 유기막(430)은 게이트선(150)과 데이터선(120)을 따라 형성될 수도 있으며, 유기막(430)은 게이트 배선과 데이터 배선 주위에서 누설되는 빛을 차단하는 역할을 가질 수 있다.

<147> 이 때, 유기막(430)이 후술하는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판에서와 같이, 화소 전극 및 각 금속층과의 틈을 모두 가려줄 수 있도록 설계되는 경우에는 상부 기판에 광차단을 위한 별도의 블랙 매트릭스를 설계할 필요가 없는 장점이 있다.

<148> 한편, 상부 기판(200)에는 ITO 또는 IZO로 이루어져 있으며, 화소 전극(410)과 함께 전기장을 생성하는 공통 전극(210)이 전면적으로 형성되어 있다.

<149> 그러면, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 도 20a 내지 28b와 앞서의 도 18 및 도 19를 참조하여 상세히 설명한다.

<150> 먼저, 도 20a와 20b에 도시한 바와 같이, 알루미늄 또는 알루미늄 합금 또는 구리 또는 구리 합금 등과 같이 저저항을 가지는 도전 물질과 크롬 또는 몰리브덴 또는 티타늄 또는 질화 크롬 또는 질화 몰리브덴 등과 같은 ITO와 접촉 특성이 우수한 도전 물질을 차례로 스퍼터링 파워의 방법으로 증착하고, 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 하부 절연 기판(100) 위에 하층(201)과 상층(202)의 이중층 구조로 이루어진 데이터선(120), 데이터 패드(124) 및 광 차단부(121)를 포함하는 데이터 배선(120, 121, 124)을 형성한다.

<151> 앞에서 설명한 바와 같이, 이후에 형성되는 화소 배선(410, 411, 412) 및 보조 패드(413, 414)가 ITO(indium tin oxide)인 것을 고려하여 알루미늄 또는 알루미늄 합금 또는 구리(Cu) 또는 구리 합금의 하층(201)과 크롬 또는 몰리브덴 또는 티타늄의 상층(202)으로 이루어지는 데이터 배선을 형성하였지만, 화소 배선(410, 411, 412) 및 보조 패드(413, 414)가 IZO(indium zinc oxide)인 경우에

는 알루미늄 또는 알루미늄 합금의 단일막으로 형성할 수 있으며, 구리 또는 구리 합금의 단일막으로 형성하여 제조 공정을 단순화할 수 있다.

<152> 이어, 도 21a 및 도 21b에 도시한 바와 같이 적(R), 녹(G), 청(B)의 안료를 포함하는 감광성 물질을 차례로 도포하고 마스크를 이용한 사진 공정으로 패터닝하여 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)를 차례로 형성한다. 이때, 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)는 세 장의 마스크를 사용하여 형성하지만, 제조 비용을 줄이기 위하여 하나의 마스크를 이동하면서 형성할 수도 있다. 또한, 레이저(laser) 전사법이나 프린트(print)법을 이용하면 마스크를 사용하지 않고 형성할 수도 있어, 제조 비용을 최소화할 수도 있다. 이때, 도면에서 보는 바와 같이, 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)의 가장 자리는 데이터선(120)과 중첩되도록 형성하는 것이 바람직하다.

<153> 이어, 도 22a 및 도 22b에서 보는 바와 같이, 절연 기판(100) 상부에 a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시켜 버퍼층(140)을 형성한다. 이 때, a-Si:C:O 막의 경우에는 기체 상태의  $\text{SiH}(\text{CH}_3)_3$ ,  $\text{SiO}_2(\text{CH}_3)_4$ ,  $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ ,  $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  등을 기본 소스로 사용하고,  $\text{N}_2\text{O}$  또는  $\text{O}_2$  등의 산화제와 Ar 또는 He 등을 혼합한 기체를 흘리면서 증착한다. 또, a-Si:O:F 막의 경우에는  $\text{SiH}_4$ ,  $\text{SiF}_4$  등에  $\text{O}_2$ 를 첨가한 기체를 흘리면서 증착한다. 이 때, 불소의 보조 소스로서  $\text{CF}_4$ 를 첨가할 수도 있다.

<154> 이어, 크롬 또는 몰리브덴 또는 티타늄 또는 질화 크롬 또는 질화 몰리브덴 등과 같은 물리 화학적으로 안정한 물질과 알루미늄 또는 알루미늄 합금 또는

구리 또는 구리 합금 등과 같이 저저항을 가지는 도전 물질을 스퍼터링 따위의 방법으로 연속 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여, 버퍼층(140) 위에 게이트선(150), 게이트 전극(151) 및 게이트 패드(152)를 포함하는 게이트 배선(150, 151, 152)을 형성한다.

<155> 이 때, 게이트 배선(150, 151, 152)은 단일층 구조로 형성할 수 있다.

<156> 이어, 도 23에 보인 바와 같이, 게이트 배선(150, 151, 152) 및 유기 절연막(140) 위에 저온 증착 게이트 절연막(160), 제 1 비정질 규소막(701), 제 2 비정질 규소막(702) 및 불순물이 도핑된 비정질 규소막(180)을 순차적으로 증착한다.

<157> 저온 증착 게이트 절연막(160)은 250℃ 이하의 증착 온도에서도 증착될 수 있는 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등을 사용하여 형성할 수 있다.

<158> 제 1 비정질 규소막(701)은 밴드 갭이 높은 예를 들어, 1.9~2.1 eV의 밴드 갭을 가지는 비정질 규소막으로 형성하고, 제 2 비정질 규소막(702)은 밴드 갭이 제 1 비정질 규소막(701)보다는 낮은 예를 들어, 1.7~1.8 eV의 밴드 갭을 가지는 통상의 비정질 규소막으로 형성한다. 이 때, 제 1 비정질 규소막(701)은 비정질 규소막의 원료가스인  $\text{SiH}_4$ 에  $\text{CH}_4$ ,  $\text{C}_2\text{H}_2$ , 또는,  $\text{C}_2\text{H}_6$ 등을 적절한 양으로 첨가하여 CVD법에 의하여 증착할 수 있다. 예를 들어, CVD 장치에  $\text{SiH}_4 : \text{CH}_4$ 를 1:9의 비율로 투입하고, 증착 공정을 진행하면, C가 50%정도의 함유되며, 2.0~2.3 eV의 밴드 갭을 가지는 비정질 규소막을 증착할 수 있다. 이와 같이, 비정

질 규소층의 밴드 갭은 증착 공정 조건에 영향을 받는데, 탄소 화합물의 첨가량에 따라 대개 1.7~2.5 eV 범위에서 밴드 갭을 용이하게 조절할 수 있다.

<159> 이 때, 저온 증착 게이트 절연막(160), 제 1 비정질 규소막(701) 및 제 2 비정질 규소막(702), 불순물이 도핑된 비정질 규소막(180)은 동일한 CVD 장치에서 진공의 깨짐이 없이 연속적으로 증착할 수 있다.

<160> 다음, 도 24a 및 24b에 도시한 바와 같이, 제 1 비정질 규소막(701), 제 2 비정질 규소막(702) 및 불순물이 도핑된 비정질 규소막(180)을 마스크를 이용한 사진 식각 공정으로 패터닝하여 섬 모양의 반도체층(171) 및 저항성 접촉층(181)을 형성하고 동시에, 저온 증착 게이트 절연막(160)과 유기 절연막(140)에 데이터선(120), 게이트 패드(152) 및 데이터 패드(124)를 각각 드러내는 접촉 구멍(161, 162, 164)을 형성한다.

<161> 이때, 게이트 전극(151)의 상부를 제외한 부분에서는 제 1, 제 2 비정질 규소막(701, 702) 및 불순물이 도핑된 비정질 규소막(180)을 모두 제거해야 하며, 게이트 패드(152) 상부에서는 제 1 및, 제 2 비정질 규소막(701, 702) 및 불순물이 도핑된 비정질 규소막(180)과 함께 게이트 절연막(160)도 제거해야 하며, 데이터선(120) 및 데이터 패드(124) 상부에서는 제 1 및 제 2 비정질 규소막(701, 702), 불순물이 도핑된 비정질 규소막(180) 및 저온 증착 게이트 절연막(160)과 함께 유기 절연막(140)도 제거해야 한다.

<162> 이를 하나의 마스크를 이용한 사진 식각 공정으로 형성하기 위해서는 부분적으로 다른 두께를 가지는 감광막 패턴을 식각 마스크로 사용해야 한다. 이에 대하여 도 25와 도 26을 함께 참조하여 설명한다.

- <163> 우선, 도 25에 보인 바와 같이, 불순물이 도핑된 비정질 규소막(180)의 상부에 감광막을  $1\mu\text{m}$  내지  $2\mu\text{m}$ 의 두께로 도포한 후, 마스크를 이용한 사진 공정을 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴(312, 314)을 형성한다.
- <164> 이 때, 감광막 패턴(312, 314) 중에서 게이트 전극(151)의 상부에 위치한 제 1 부분(312)은 나머지 제 2 부분(314)보다 두께가 두껍게 되도록 형성하며, 데이터선(120), 데이터 패드(124) 및 게이트 패드(152)의 일부 위에는 감광막이 존재하지 않도록 한다. 제 2 부분(314)의 두께를 제 1 부분(312)의 두께의  $1/2$  이하로 하는 것이 바람직하며, 예를 들면,  $4,000 \text{ \AA}$  이하인 것이 좋다.
- <165> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는 데, 여기에서는 양성 감광막을 사용하는 경우에 대하여 설명한다.
- <166> 노광기의 분해능보다 작은 패턴, 예를 들면 B 영역에 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 형성해 둠으로써 빛의 조사량을 조절할 수 있는 마스크(1000)를 통하여 감광막에 빛을 조사하면, 조사되는 빛의 양 또는 세기에 따라 고분자들이 분해되는 정도가 다르게 된다. 이때, 빛에 완전히 노출되는 C 영역의 고분자들이 완전히 분해되는 시기에 맞추어 노광을 중단하면, 빛에 완전히 노출되는 부분에 비하여 슬릿이나 반투명막이 형성되어 있는 B 영역을 통과하는 빛의 조사량이 적으므로 B 영역의 감광막은 일부만 분해되고 나머지는 분해되지 않은 상태로 남는다. 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 함은 물론이다.
- <167> 이러한 감광막을 현상하면, 분자들이 분해되지 않은 제 1 부분(312)은 거의 그대로 남고, 빛이 적게 조사된 제 2 부분(314)은 제 1 부분(312)보다 얇은 두께



로 일부만 남고, 빛에 완전히 노광된 C 영역에 대응하는 부분에는 감광막이 거의 제거된다.

<168> 이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴이 만들어진다.

<169> 다음, 도 26에 도시한 바와 같이, 이러한 감광막 패턴(312, 314)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(180), 제 2 비정질 규소막(702), 제 1 비정질 규소막(702) 및 저온 증착 게이트 절연막(160)을 건식 식각하여 게이트 패드(152)를 드러내는 접촉 구멍(162)을 완성하고, C 영역의 버퍼층(140)을 드러낸다. 계속해서, 감광막 패턴(312, 314)을 식각 마스크로 사용하여 C 영역의 버퍼층(140)을 건식 식각하여 데이터선(120) 및 데이터 패드(124)를 드러내는 접촉 구멍(161, 164)을 완성한다.

<170> 이어, 감광막의 제 2 부분(314)을 완전히 제거하는 작업을 진행한다. 여기서, 제 2 부분(314)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

<171> 이렇게 하면, 감광막 패턴의 제 2 부분(314)은 제거되고, 불순물이 도핑된 비정질 규소막(180)이 드러나게 되며, 감광막 패턴의 제 1 부분(312)은 감광막 패턴의 제 2 부분(312)의 두께만큼 감소된 상태로 남게 된다.

<172> 다음, 남아 있는 감광막 패턴의 제 1 부분(312)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(180) 및 그 하부의 제 1 및 제 2 비정질 규소막

(701, 702)을 식각하여 제거함으로써 게이트 전극(151) 상부의 저온 증착 게이트 절연막(160) 위에 섬 모양의 반도체층(171)과 저항성 접촉층(181)을 남긴다.

<173>        마지막으로 남아 있는 감광막의 제 1 부분(312)을 제거한다. 여기서, 제 1 부분(312)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

<174>        다음, 도 27a 및 도 27b에서 보는 바와 같이, ITO층을 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 화소 전극(410), 소스용 전극(412), 드레인용 전극(411), 보조 게이트 패드(413) 및 보조 데이터 패드(414)를 형성한다. 이때, ITO 대신 IZO를 사용할 수도 있다.

<175>        이어, 소스용 전극(412)과 드레인용 전극(411)을 식각 마스크로 사용하여 이들 사이의 저항성 접촉층(181)을 식각하여 두 부분(182, 183)으로 분리된 저항성 접촉층 패턴을 형성하여, 소스용 전극(412)과 드레인용 전극(411) 사이로 반도체층(171)을 노출시킨다.

<176>        마지막으로 도 18 및 도 19에서 보는 바와 같이, 하부 절연 기판(100)의 상부에 질화 규소나 산화 규소 등의 절연 물질과 검은색 안료를 포함하는 감광성 유기 물질 등의 절연 물질을 차례로 적층하고 마스크를 이용한 사진 공정으로 노광 현상하여 유색 유기막(430)을 형성하고, 이를 식각 마스크로 사용하여 그 하부의 절연 물질을 식각하여 보호막(190)을 형성한다. 이때, 유색 유기막(430)은 박막 트랜지스터로 입사하는 빛을 차단하며, 게이트 배선 또는 데이터 배선의 상부에 형성하여 배선의 주위에서 누설되는 빛을 차단하는 기능을 부여할 수도

있다. 또한 본 발명의 실시예와 같이 유기막(430)의 높이를 조절하여 간격 유지재로 사용할 수도 있다.

<177> 한편, 상부 절연 기판(200)의 위에는 ITO 또는 IZO의 투명한 도전 물질을 적층하여 공통 전극(210)을 형성한다.

<178> 이 때, 유색 유기막(430)이 화소 전극(410) 및 각 금속층과의 틈을 모두 가려줄 수 있도록 설계되는 경우에는 상부 기판에 광차단을 위한 별도의 블랙 매트릭스를 설계할 필요가 없는 장점이 있다.

<179> 이에 대하여 도 28을 참조하여 설명한다.

<180> 도 28은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이다.

<181> 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판과 비교하여, 데이터 배선(120, 121, 124) 및 유색 유기막(130)의 패턴이 다를 뿐이다.

<182> 게이트선(150)과 화소 전극(410)이 소정의 간격을 두도록 설계할 경우에는, 화소 전극(410)과 게이트선(150) 사이에 빛이 새는 부분을 가려줄 필요가 있다. 이를 위하여, 색필터(131, 132, 133)의 하부에 형성된 데이터선(120)의 일부를 게이트선(150) 방향으로 돌출되도록 연장하여 게이트선(150)과 화소 전극(410) 사이의 틈을 가려줄 수 있도록 형성한다. 이 때, 데이터선(120)으로 가려줄 수 없는 부분 즉, 서로 이웃하는 두 데이터선(120) 사이의 영역에는 유색 유기막(430)이 가려줄 수 있도록 형성할 수 있다.

<183> 한 편, 도면에는 표시하지 않았지만, 게이트 배선(150, 151, 152)과 동일한 층에는 게이트 배선(150, 151, 152)형성용 물질로 화면 표시부의 가장자리 둘레에서 누설되는 빛을 차단하기 위한 블랙 매트릭스의 세로부가 형성되고, 데이터 배선(120, 121, 124)과 동일한 층에는 데이터 배선(120, 121, 124)형성용 금속 물질로 화면 표시부의 가장자리 둘레에서 누설되는 빛을 차단하기 위한 블랙 매트릭스의 가로부가 형성될 수 있다.

<184> 이와 같이, 게이트 배선(150, 151, 152) 및 데이터 배선(120, 121, 124)을 형성하는 물질로 화면 표시부의 가장자리 둘레에서 누설되는 빛을 차단하기 위한 블랙 매트릭스의 가로부 및 세로부를 형성하고, 데이터 배선(120, 121, 124)으로 게이트선(150)과 화소 전극(410) 사이의 빛 새는 영역을 가리고, 유색 유기막(430)으로 이웃하는 두 데이터 배선(150) 사이의 빛 새는 영역을 가리도록 하는 경우에, 데이터 배선, 게이트 배선 및 간격 유지재가 박막 트랜지스터 기판에서 빛이 누설되는 모든 영역을 가려줄 수 있어서, 상부 기판에 별도의 블랙 매트릭스를 형성할 필요가 없다. 따라서, 상부 기판과 하부 기판의 정렬 오차를 고려하지 않아도 되므로 개구율을 향상시킬 수 있다. 또한, 데이터선(120)과 화소 전극(410) 사이에는 게이트 절연막(160)과 낮은 유전율을 가지는 버퍼층(140)이 형성되어 있어, 이들 사이에서 발생하는 기생 용량을 최소화할 수 있어 표시 장치의 특성을 향상시킬 수 있는 동시에 이들 사이에 간격을 둘 필요가 없으므로 개구율을 최대한 확보할 수 있다.

<185> 이와 같이, 본 발명의 실시예에서는 색필터 위에 TFT를 형성하는 박막 트랜지스터 기판을 안정적으로 구현하기 위하여, 저온 공정 조건하에서, TFT를 제작

한다. 즉, 고온 공정에 의한 색필터의 손상을 방지하기 위하여 게이트 절연막을 저온 증착 절연막으로 형성하고, 저온 증착 게이트 절연막과 접촉됨으로서 야기되는 채널의 특성 악화를 방지하기 위하여, 채널을 저온 증착 게이트 절연막과 반도체층의 계면에 형성하는 것이 아니라, 반도체층의 벌크쪽에 형성한다.

<186> 본 발명은 제시된 실시예 뿐만 아니라, 다양한 방식으로 적용이 가능하다. 예를 들어, 중량 감소 및 내충격성 향상을 위해 대두된 플라스틱 액정 표시 장치에서와 같이, 저온 공정 조건이 필요한 디스플레이 경우 본 발명은 유용하게 적용할 수 있다.

<187> 본 발명에 따른 CVD로 형성한 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD 막)은 반사형이나 반투과형 액정 표시 장치에 사용되는 박막 트랜지스터 기판에서 반사광의 간섭을 방지하기 위하여 형성하는 엠보싱 절연층, 즉 표면에 요철이 형성되어 있는 절연층으로 사용하여도 유용하다.

<188> 먼저, 반사형 액정 표시 장치에 사용되는 박막 트랜지스터 기판에 대하여 설명한다.

<189> 먼저, 도 29 및 도 30을 참고로 하여 본 발명의 제5 실시예에 따른 액정 표시 장치의 구조에 대하여 상세히 설명한다.

<190> 도 29는 본 발명의 제5 실시예에 따른 반사형 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 30은 도 29에 도시한 박막 트랜지스터 기판을 XXX-XXX' 선을 따라 잘라 도시한 단면도이다.

<191> 절연 기판(10) 위에 저저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금으로 이루어진 단일막 또는 이를 포함하는 다층막으로 이루어져 있는 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

<192> 이 때, 기판(10) 위에는 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극이 형성될 수 있으며, 이러한 유지 전극은 후술할 반사막(92)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다.

<193> 게이트 배선(22, 24, 26) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

<194> 게이트 전극(26) 상부의 게이트 절연막(30) 위에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 위에는 실리콘 이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(55, 56)이 각각 형성되어 있다.

<195> 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 알루미늄 또는 은과 같은 저저항의 도전 물질로 이루어진 도전막을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소 영역을 정의하는 데이터선(62), 데이터선(62)에 연결되어 저항성 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으

며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 하여 소스 전극(65)과 대향하고 있는 드레인 전극(66)을 포함한다. 드레인 전극(66)은 저항성 접촉층(56) 위에 형성되어 있고, 화소 영역 내부로 연장되어 있다.

<196> 데이터 배선(62, 64, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(적유전율 CVD막)으로 이루어진 보호막(70)이 형성되어 있다. 이때, 보호막(70)의 표면은 이후에 형성되는 반사막(92)의 반사효율을 극대화하기 위해 요철 패턴을 가진다.

<197> 보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉구멍(74)이 형성되어 있다.

<198> 보호막(70) 위에는 접촉구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 반사막(92)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(96) 및 보조 데이터 패드(98)가 형성되어 있다. 여기서, 보조 게이트 및 데이터 패드(96, 98)는 게이트 및 데이터 패드(24, 68)를 보호하기 위한 것이며, 필수적인 것은 아니다.

<199> 그러면, 한편, 도 31a 내지 도 34b 및 도 29 및 도 30을 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 기관의 제조 방법에 대하여 구체적으로 설명하기로 한다.

<200> 먼저, 도 31a 및 도 31b에 도시한 바와 같이, 유리 기판(10) 상부에 저저항의 도전 물질을 적층하고, 사진 식각 공정으로 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다.

<201> 다음, 도 32a 및 도 32b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 사진 식각하여 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24) 상부의 게이트 절연막(30) 위에 반도체층(40)과 저항성 접촉층(50)을 형성한다.

<202> 다음, 도 33a 내지 도 33b에 도시한 바와 같이, 데이터 배선용 도전막을 적층한 후, 사진 공정하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 하여 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

<203> 이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<204> 다음으로, 도 34a 및 34b에서 보는 바와 같이, a-Si:C:H 막 또는 a-Si:H:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시켜 보호막(70)을 형성한다. 이 때



, a-Si:C:O 막의 경우에는 기체 상태의  $\text{SiH}(\text{CH}_3)_3$ ,  $\text{SiO}_2(\text{CH}_3)_4$ ,  $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ ,  $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  등을 기본 소스로 사용하고,  $\text{N}_2\text{O}$  또는  $\text{O}_2$  등의 산화제와 Ar 또는 He 등을 혼합한 기체를 흘리면서 증착한다. 또, a-Si:O:F 막의 경우에는  $\text{SiH}_4$ ,  $\text{SiF}_4$  등에  $\text{O}_2$ 를 첨가한 기체를 흘리면서 증착한다. 이 때, 불소의 보조 소스로서  $\text{CF}_4$ 를 첨가할 수도 있다. 이어, 마스크를 이용한 사진 공정으로 게이트 절연막(30)과 함께 패턴닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성하는 동시에, 보호막(70)의 상부에 요철 패턴을 형성한다.

<205>       접촉 구멍(74, 76, 78)과 요철을 함께 형성하기 위하여 제2 실시예에서 사용하였던 하프톤(half tone) 노광 방법을 사용한다. 즉, 슬릭 패턴이나 격자 패턴 또는 반투과막을 가지는 마스크를 이용하여 감광막을 노광한 후, 현상함으로써 접촉 구멍(74, 76, 78)이 형성될 부분 위에서는 감광막이 모두 제거되어 보호막(70)이 노출되도록 하고, 요부가 될 부분에서는 감광막이 얇게 남도록 하며, 절부가 될 부분에서는 감광막이 두껍게 남도록 한다.

<206>       다음, 감광막을 식각 마스크로 하여 보호막(70)과 게이트 절연막(30)을 식각함으로써 접촉 구멍(74, 76, 78)을 형성하고, 감광막을 애싱하여 얇은 두께의 감광막이 제거되도록 한다. 이 때, 감광막의 두꺼운 부분도 함께 애싱되어 그 두께가 얇아진다.

<207>       이어서 보호막(70)을 소정의 식각 시간동안 식각하여 요부를 형성한다. 이 때, 식각 시간은 보호막(70)의 식각률과 요부의 깊이를 고려하여 결정한다.

<208> 다음, 도 29 및 도 30에서 보는 바와 같이, 빛을 반사시키는 특성이 우수한 은 또는 알루미늄을 포함하는 도전 물질을 적층하고 사진 식각 공정으로 패터닝 하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 반사막(92)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(96) 및 보조 데이터 패드(98)를 각각 형성한다.

<209> 다음, 반투과형 액정 표시 장치에 사용되는 박막 트랜지스터 기판에 대하여 설명한다.

<210> 먼저, 도 35 및 도 36을 참고로 하여 본 발명의 제6 실시예에 따른 액정 표시 장치의 구조에 대하여 상세히 설명한다.

<211> 도 35는 본 발명의 제6 실시예에 따른 반투과형 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 36은 도 35에 도시한 박막 트랜지스터 기판을 XXXVI-XXXVI' 선을 따라 잘라 도시한 단면도이다.

<212> 절연 기판(10) 위에 저저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금으로 이루어진 단일막 또는 이를 포함하는 다층막으로 이루어져 있는 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다. 여기서, 게이트 배선(22, 24, 26)이 다층막인 경우에는 다른 물질과 접촉 특성이 우수한 패드용 물질을 포함하는 것이 바람직하다.

- <213> 기판(10) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.
- <214> 게이트 전극(26)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리콘사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다.
- <215> 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 알루미늄 또는 은과 같은 저저항의 도전 물질로 이루어진 도전막을 포함하는 데이터 배선(62, 65, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)에 연결되어 저항성 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항성 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.
- <216> 데이터 배선(62, 64, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된  $\text{a-Si:C:O}$  막 또는  $\text{a-Si:O:F}$  막(저유전율 CVD막)으로 이루어진 보호막(70)이 형성되어 있다. PECVD 방법에 의하여 증착된  $\text{a-Si:C:O}$  막과  $\text{a-Si:O:F}$  막은 유전상수가 4이하로 유전율이 매우 낮다. 따라서, 두께가 얇아도 기생 용량 문제가 발생하지 않는다. 또 다른 막과의 접착성 및 스텝 커버리지(step coverage)가 우수하다. 또한 무기질 CVD막이므로 내열성이 유기 절연막에 비하여 우수하다.

아울러 PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 증착 속도나 식각 속도가 질화 규소막에 비하여 4~10배 빠르므로 공정 시간 면에서도 매우 유리하다.

<217> 보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다.

<218> 보호막(70) 상부에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 투명 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 투명 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는 투명한 도전 물질인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등으로 이루어져 있다.

<219> 투명 전극(82)의 상부에는 투명 전극(82)의 일부를 드러내는 접촉 구멍(36)을 가지며, PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막)으로 이루어진 층간 절연막(34)이 형성되어 있다. 여기서, 층간 절연막(34)은 이후의 반사막(92)의 반사 효율을 극대화하기 위해 요철 패턴을 가지는 것이 바람직하다.

<220> 층간 절연막(34)의 상부에는 접촉 구멍(36)을 통하여 투명 전극(82)과 연결되어 있으며, 투과 모드 영역(T)에 투과창(96)을 가지는 반사막(92)이 형성되어 있다. 반사막(92)은 알루미늄 또는 알루미늄 합금, 은 또는 은 합금, 몰리브덴

또는 폴리브덴 합금 등과 같이 높은 반사율을 가지는 도전막으로 이루어지며, 투명 전극(82)과 함께 화소 전극이 된다. 이때, 반사막(92)의 투과창(96)은 다양한 모양으로 형성될 수 있으며, 하나의 화소 영역에 다수로 형성될 수 있다. 위에서, 중간 절연막(34)에 요철 패턴이 형성되어 있는 경우라도 투과창(96) 부분에는 요철 패턴을 형성하지 않는 것이 바람직하다.

<221> 여기서, 화소 전극(82, 92)은 이웃하는 화소 행의 박막 트랜지스터에 게이트 신호를 전달하는 전단의 게이트선(22)과 중첩되어 유지 축전기를 이룬다. 경우에 따라서는 유지 용량을 형성하기 위하여 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 형성할 수도 있다.

<222> 그러면, 이러한 본 발명의 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 대하여 설명한다.

<223> 먼저, 데이터 배선(62, 65, 66, 68)을 형성하는 단계까지는 본 발명의 제5 실시예에 따른 박막 트랜지스터 기관의 제조 방법과 동일하다. 즉, 도 31a 내지 도 33b에 나타낸 공정을 따른다.

<224> 데이터 배선(62, 65, 66, 68)을 형성한 다음에는, 도 37a 및 37b에서 보는 바와 같이, 데이터 배선(62, 65, 66, 68) 위에 a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시켜보호막(70)을 형성한다. 이어, 감광막 패턴을 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 이 때 식각은 건식 식각에 의한다.

- <225> 다음, 도 38a 및 도 38b에서 보는 바와 같이, ITO 또는 IZO막을 적층하고 사진 식각하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 투명 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다.
- <226> 이어, 도 39a 및 도 39b에서 도시한 바와 같이, a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시키고, 마스크를 이용한 사진 식각 공정으로 패터닝하여 투명 전극(82)을 드러내는 접촉 구멍(36)을 가지는 층간 절연막(34)을 형성한다. 이때, 층간 절연막(34)에 요철 패턴을 형성할 수 있다. 요철 패턴을 형성하는 경우에는 제5 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 보호막을 패터닝하는 공정에서와 같이 하프톤 노광 방법을 사용한다.
- <227> 이어, 마지막으로 도 35 및 도 36에서 보는 바와 같이, 높은 반사율을 가지는 알루미늄 또는 은 또는 몰리브덴을 포함하는 도전막을 적층하고 패터닝하여 개구부의 투과창(96)을 가지는 반사막(92)을 형성한다.
- <228> CVD 법에 의하여 형성한 a-Si:C:O 막 또는 a-Si:O:F 막(적유전율 CVD막)은 게이트 절연막에도 적용할 수 있다. 이를 제7 실시예에서 설명한다.
- <229> 도 40은 본 발명의 제7 실시예에 따른 박막 트랜지스터 기판의 단면도이다.
- <230> 제7 실시예에 따른 박막 트랜지스터 기판은 제1 실시예에 따른 박막 트랜지스터 기판과 게이트 절연막을 제외하고는 동일한 구조를 가진다. 제7 실시예에서는 게이트 절연막이 이중층으로 이루어져 있다. 즉, PECVD를 통하여 형성한

a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막)인 제1 층(31)과 질화규소막인 제2층(32)으로 이루어져 있다.

<231> 게이트 절연막은 비정질 규소로 이루어진 반도체층(40)과의 계면 특성을 고려하여 치밀한 막질을 유지하여야 한다. 그런데 막질이 치밀하면 치밀할수록 증착 속도가 느리므로 공정 시간이 길어지는 단점이 있다. 한편, 반도체층(40)과 접하는 면으로부터 약 500 Å 정도 두께까지만 치밀한 막질이 유지되면 박막 트랜지스터가 동작하는데 무리가 없음이 알려져 있다. 따라서, 게이트 절연막의 하부는 증착 속도가 빠른 a-Si:C:O 막 또는 a-Si:O:F 막으로 형성하고, 게이트 절연막의 상부는 막질이 치밀한 질화규소막으로 형성하면, 박막 트랜지스터의 성능을 저하시키지 않으면서 공정 시간을 단축할 수 있다. a-Si:C:O 막은 질화규소막에 비하여 4배에서 10배 정도 증착 속도가 빠르다. 이 때, a-Si:C:O 막은 질화규소막은 진공이 유지되는 상태에서 연속으로 증착한다.

<232> 이러한 저유전율 CVD막과 질화규소막의 이중층으로 이루어진 게이트 절연막은 제2 내지 제6 실시예에 따른 박막 트랜지스터 기관에도 적용할 수 있다.

#### 【발명의 효과】

<233> 본 발명에서는 저유전율 CVD막을 사용하여 보호막을 형성함으로써 기생 용량 문제를 해소하여 고개구율 구조를 실현할 수 있고, 공정 시간을 단축할 수 있으며, 유기 절연막을 사용할 때 발생하는 재료비 상승, 내열성 부족으로 인한 후속 공정의 제약, 이웃 막과의 접착력 부족으로 인한 큰 식각 오차 등의 문제를 해결할 수 있다.

**【특허 청구범위】****【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있는 제1 신호선,

상기 제1 신호선 위에 형성되어 있는 제1 절연막,

상기 제1 절연막 위에 형성되어 있으며 상기 제1 신호선과 교차하고 있는 제2 신호선,

상기 제1 신호선 및 상기 제2 신호선과 연결되어 있는 박막 트랜지스터,

저유전율 CVD막이며 상기 박막 트랜지스터 위에 형성되어 있으며 상기 박막 트랜지스터의 소정 전극을 노출시키는 제1 접촉구를 가지는 제2 절연막,

상기 제2 절연막 위에 형성되어 있으며 상기 제1 접촉구를 통하여 상기 박막 트랜지스터의 소정 전극과 연결되어 있는 제1 화소 전극

을 포함하는 박막 트랜지스터 기판.

**【청구항 2】**

제1항에서,

상기 제1 절연막은 저유전율 CVD막인 하부막과 질화규소막인 상부막으로 이루어진 박막 트랜지스터 기판.

**【청구항 3】**

제1항에서,



상기 제1 화소 전극은 빛을 반사시키는 불투명한 도전 물질로 이루어져 있는 박막 트랜지스터 기판.

【청구항 4】

제3항에서,

상기 제2 절연막은 표면에 요철 패턴을 가지는 박막 트랜지스터 기판.

【청구항 5】

제1항에서,

저유전율 CVD막이고 상기 제1 화소 전극 위에 형성되어 있으며 상기 제1 화소 전극의 소정 부분을 노출시키는 제2 접촉구를 가지는 제3 절연막 및

상기 제3 절연막 위에 형성되어 있으며 상기 제2 접촉구를 통하여 상기 제1 화소 전극과 연결되어 있고 빛을 반사시키는 불투명한 도전 물질로 이루어져 있는 제2 화소 전극을 더 포함하고,

상기 제1 화소 전극은 투명한 도전 물질로 이루어져 있고, 상기 제2 화소 전극은 상기 제1 화소 전극을 투과한 빛이 통과할 수 있는 소정의 개구부를 가지는 박막 트랜지스터 기판.

【청구항 6】

제1항에서,

상기 저유전율 CVD막은 a-Si:C:O로 이루어져 있는 박막 트랜지스터 기판.

**【청구항 7】**

제1항에서,

상기 저유전율 CVD막은 a-Si:O:F로 이루어져 있는 박막 트랜지스터 기판.

**【청구항 8】**

제1항에서,

상기 저유전율 CVD막의 유전율은 2에서 4 사이의 값을 가지는 박막 트랜지스터 기판.

**【청구항 9】**

절연 기판 위에 형성되어 있는 데이터선을 포함하는 데이터 배선,

상기 절연 기판 위에 형성되어 있는 적, 녹, 청의 색필터,

저유전율 CVD막이며 상기 데이터 배선 및 상기 색필터 위에 형성되어 있고 상기 데이터 배선의 소정 부분을 노출시키는 제1 접촉구를 가지는 버퍼층,

상기 버퍼층 위에 형성되어 있으며, 상기 데이터선과 교차하여 화소를 정의하는 게이트선 및 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있고 상기 제1 접촉구의 적어도 일부분을 노출시키는 제2 접촉구를 가지는 게이트 절연막,

상기 게이트 전극 상부의 상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 제1 접촉구 및 상기 제2 접촉구를 통하여 상기 데이터선과 연결되어 있으며 적어도 일부분이 상기 반도체층과 접하고 있는 소스용 전극, 상기 반도체층 위에서 상기 소스용 전극과 마주하고 있는 드레인용 전극 및 상기 드레인용 전극과 연결되어 있는 화소 전극을 포함하는 화소 배선

을 포함하는 박막 트랜지스터 기판.

【청구항 10】

제9항에서,

상기 반도체층 패턴은 제1 비정질 규소막과, 상기 제1 비정질 규소막보다 밴드 갭이 낮은 제2 비정질 규소막의 이중층 구조로 이루어져 있는 박막 트랜지스터 기판.

【청구항 11】

제10항에서,

상기 데이터선과 동일한 층 동일한 물질로 형성되어 있으며 상기 반도체층 패턴에 대응하는 부분에 위치하는 광 차단부를 더 포함하는 박막 트랜지스터 기판.

【청구항 12】

제11항에서,

상기 광 차단부는 상기 게이트선 방향으로 연장되어 있는 박막 트랜지스터 기판.

## 【청구항 13】

제1항에서,

상기 버퍼층의 유전율은 2에서 4 사이의 값을 가지는 박막 트랜지스터 기판

## 【청구항 14】

절연 기판,

상기 기판 위에 형성되어 있으며 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있으며 적어도 상기 게이트 패드를 노출시키는 접촉구를 가지는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층 패턴,

상기 반도체층 패턴 위에 형성되어 있는 접촉층 패턴,

상기 접촉층 패턴 위에 형성되어 있고 상기 접촉층 패턴과 실질적으로 동일한 형태를 가지며 소스 전극, 드레인 전극, 데이터선 및 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 노출시키는 접촉구를 가지며, 저유전율 CVD막으로 이루어진 보호막 패턴,

노출되어 있는 상기 게이트 패드, 데이터 패드 및 드레인 전극과 각각 전기적으로 연결되는 투명 전극층 패턴

을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 15】

제14항에서,

상기 절연 기판 위의 상기 게이트 배선과 동일한 층에 형성되어 있는 유지 용량선,

상기 유지 용량과 중첩하고 있으며 상기 반도체 패턴과 동일한 층에 형성되어 있는 유지 축전기용 반도체 패턴,

상기 유지 축전기용 반도체 패턴 위에 형성되어 있으며 상기 유지 축전기용 반도체 패턴과 동일한 평면적 모양을 가지는 유지 축전기용 접촉층 패턴 및

상기 유지 축전기용 접촉층 패턴 위에 형성되어 있으며 상기 유지 축전기용 반도체 패턴과 동일한 평면적 모양을 가지는 유지 축전기용 도전체 패턴을 더 포함하고,

상기 유지 축전기용 도전체 패턴은 상기 투명 전극 패턴의 일부와 연결되어 있는 박막 트랜지스터 기판.

【청구항 16】

제14항에서,

상기 저유전율 CVD막의 유전율은 2에서 4 사이의 값을 가지는 박막 트랜지스터 기판.

## 【청구항 17】

절연 기판 위에 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극 및  
상기 게이트선과 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는  
단계,

게이트 절연막을 형성하는 단계,

반도체층을 형성하는 단계,

도전 물질을 적층하고 패터닝하여 상기 게이트선과 교차하는 데이터선, 상  
기 데이터선과 연결되어 있는 데이터 패드, 상기 데이터선과 연결되어 있으며 상  
기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스  
전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단  
계,

저유전율 CVD막을 증착하여 보호막을 형성하는 단계,

상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드,  
상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는  
단계,

투명 도전막을 적층하고 패터닝하여 상기 접촉 구멍을 통하여 상기 게이트  
패드, 상기 데이터 패드 및 상기 드레인 전극과 각각 연결되는 보조 게이트 패드  
, 보조 데이터 패드 및 화소 전극을 형성하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

## 【청구항 18】

제17항에서,

상기 보호막을 형성하는 단계는

기체 상태의  $\text{SiH}(\text{CH}_3)_3$ ,  $\text{SiO}_2(\text{CH}_3)_4$ ,  $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$  중의 적어도 어느 하나를 기본 소스로 사용하고,  $\text{N}_2\text{O}$  또는  $\text{O}_2$ 를 산화제로 사용하여 PECVD법에 의하여 증착하는 단계인 박막 트랜지스터 기판의 제조 방법.

## 【청구항 19】

제17항에서,

상기 보호막을 형성하는 단계는

기체 상태의  $\text{SiH}_4$ ,  $\text{SiF}_4$  중의 적어도 어느 하나와  $\text{CF}_4$  및  $\text{O}_2$ 를 첨가한 기체를 사용하여 PECVD법에 의하여 증착하는 단계인 박막 트랜지스터 기판의 제조 방법.

## 【청구항 20】

제17항에서,

상기 데이터 배선 및 상기 반도체층은 제1 부분, 상기 제1 부분보다 두께가 두꺼운 제2 부분, 상기 제1 두께보다 두께가 얇은 제3 부분을 가지는 감광막 패턴을 이용하는 사진 식각 공정으로 함께 형성하는 박막 트랜지스터 기판의 제조 방법.

## 【청구항 21】

제20항에서,

상기 사진 식각 공정에서 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이에 위치하도록 형성하고, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 박막 트랜지스터 기판의 제조 방법.

【청구항 22】

제17항에서,

상기 게이트 절연막을 형성하는 단계는

적유전율 CVD막을 증착하는 제1 단계 및 질화규소막을 증착하는 제2 단계로 이루어지며, 상기 제1 단계와 상기 제2 단계는 진공이 유지되는 상태에서 진행되는 박막 트랜지스터 기판의 제조 방법.

【청구항 23】

절연 기판 위에 데이터선을 포함하는 데이터 배선을 형성하는 제1 단계,

상기 기판 상부에 적, 녹, 청의 색필터를 형성하는 제2 단계,

적유전율 CVD막을 증착하여 상기 데이터 배선 및 상기 색필터를 덮는 버퍼층을 형성하는 제3 단계,

상기 절연막 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 제4 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 제5 단계,

상기 게이트 절연막 위에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 상기 게이트 절연막과 상기 버퍼층에 상기 데이터선 일부를 드러내는 제1 접촉 구멍을 형성하는 제6 단계,



상기 섬 모양의 저항성 접촉층 패턴 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스용 전극 및 드레인용 전극과, 상기 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성하는 제7 단계,

상기 소스용 전극과 상기 드레인용 전극의 사이에 위치하는 상기 저항성 접촉층 패턴의 노출 부분을 제거하여 상기 저항성 접촉층 패턴을 양쪽으로 분리하는 제8 단계,

를 포함하는 박막 트랜지스터 기관의 제조 방법.

【청구항 24】

제23항에서,

상기 제6 단계는,

상기 게이트 절연막 위에 비정질 규소막, 불순물이 도핑된 비정질 규소막을 순차적으로 증착하는 단계,

상기 게이트 전극 위의 소정 면적을 덮고 있는 제1 부분, 상기 제1 접촉 구멍이 형성될 부분을 제외한 나머지 부분을 덮고 있으며 상기 제1 부분보다 얇은 제 2 부분으로 이루어지는 감광막 패턴을 형성하는 단계,

상기 감광막의 제 1 부분 및 제 2 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막, 상기 비정질 규소막, 상기 게이트 절연막 및 상기 버퍼층을 식각하여 상기 제 1 접촉 구멍을 형성하는 단계,

상기 감광막 패턴의 제 2 부분을 제거하는 단계.

상기 감광막 패턴의 제 1 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막 및 상기 비정질 규소막을 식각하여 상기 섬 모양의 반도체층 패턴과 상기 저항성 접촉층 패턴을 형성하는 단계,

상기 감광막 패턴의 제 1 부분을 제거하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

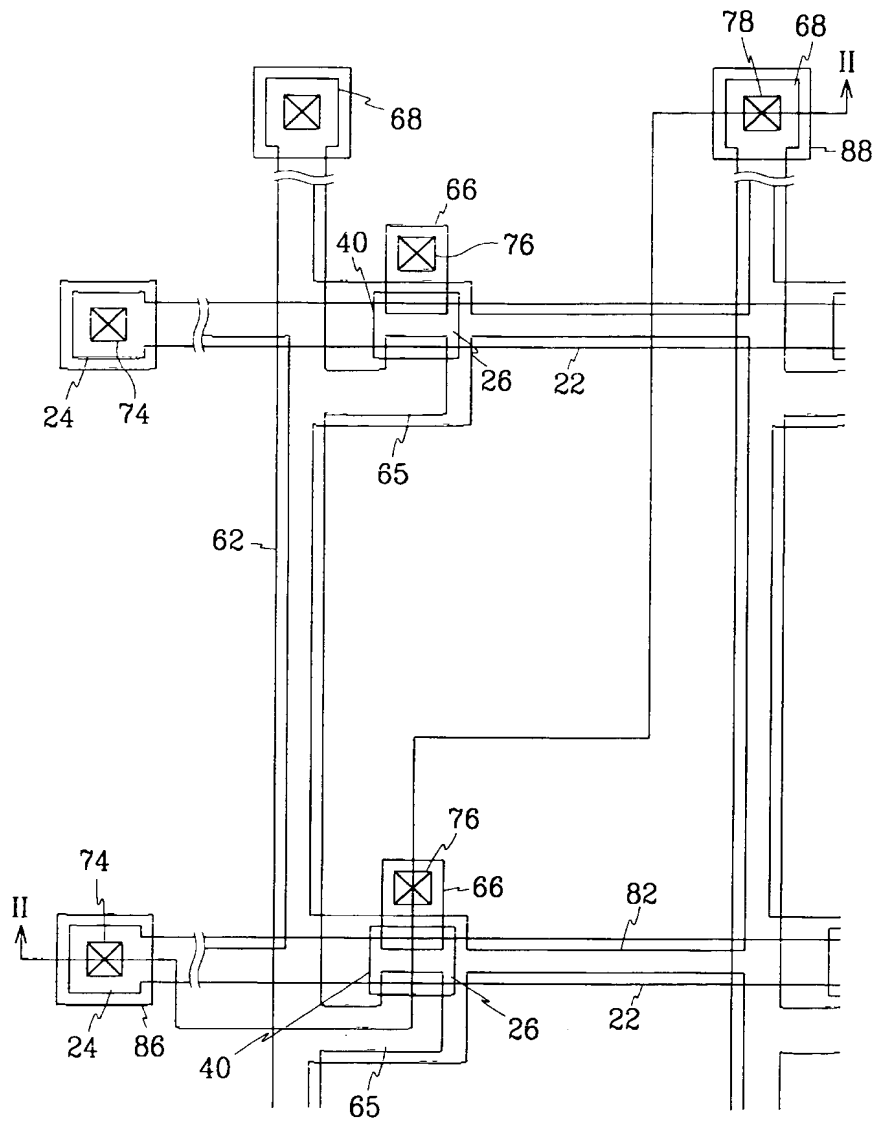
【청구항 25】

제17항에서,

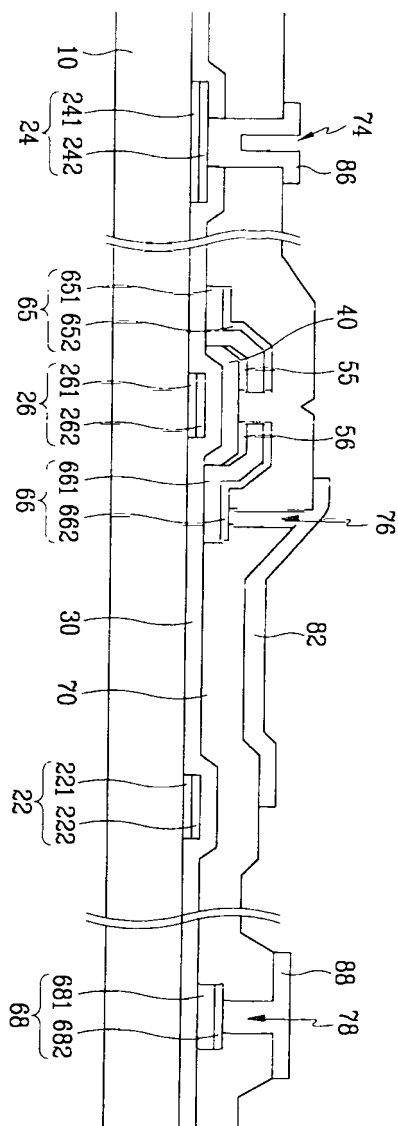
상기 저유전율 CVD막의 유전율은 2에서 4 사이의 값을 가지는 박막 트랜지스터 기판의 제조 방법.

【도면】

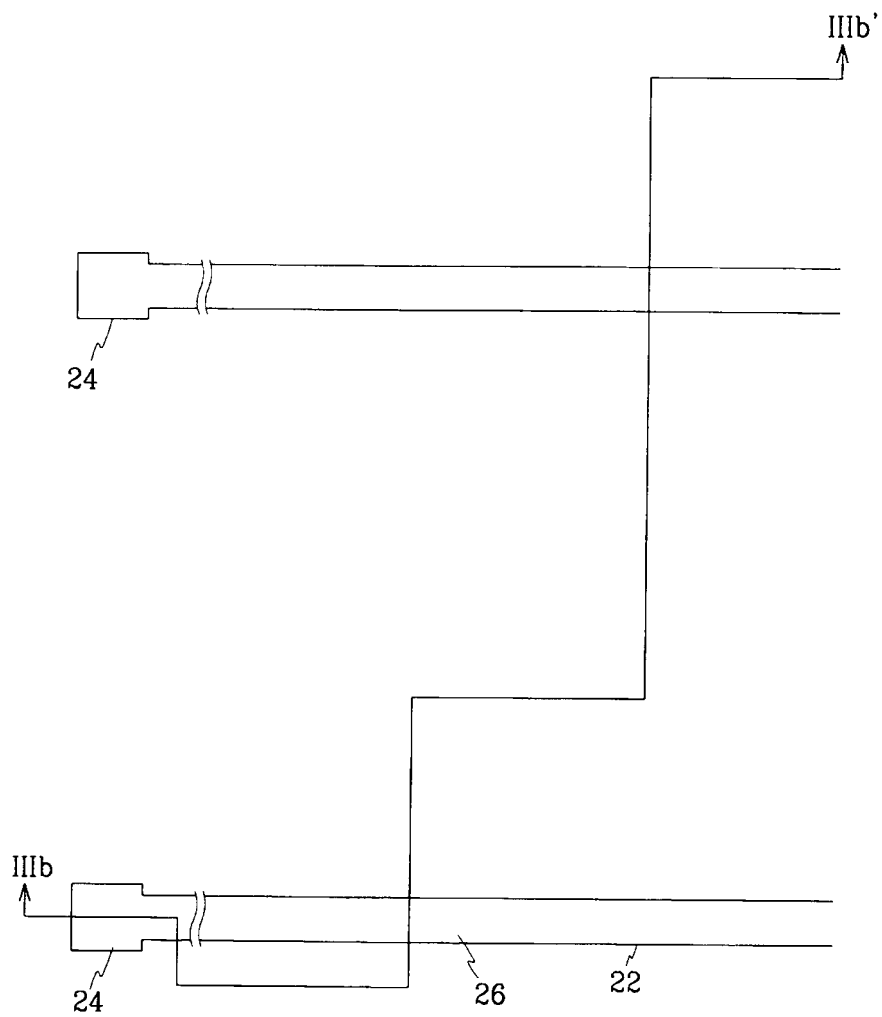
【도 1】



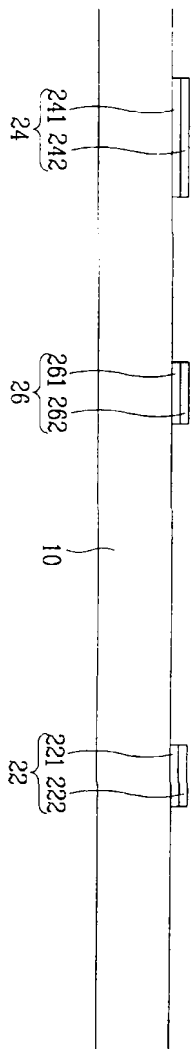
【도 2】



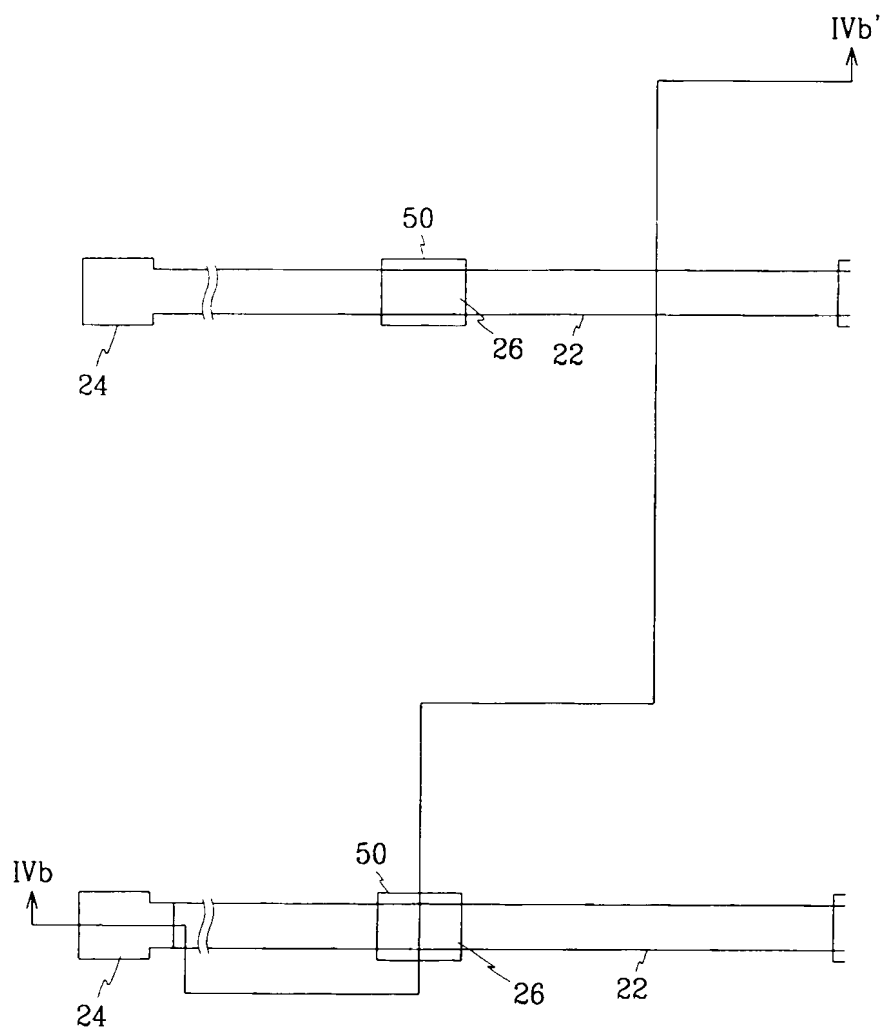
【도 3a】



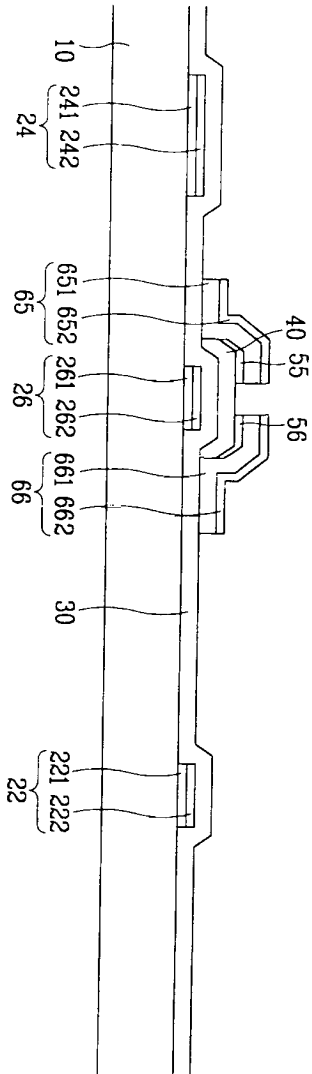
【도 3b】



【도 4a】

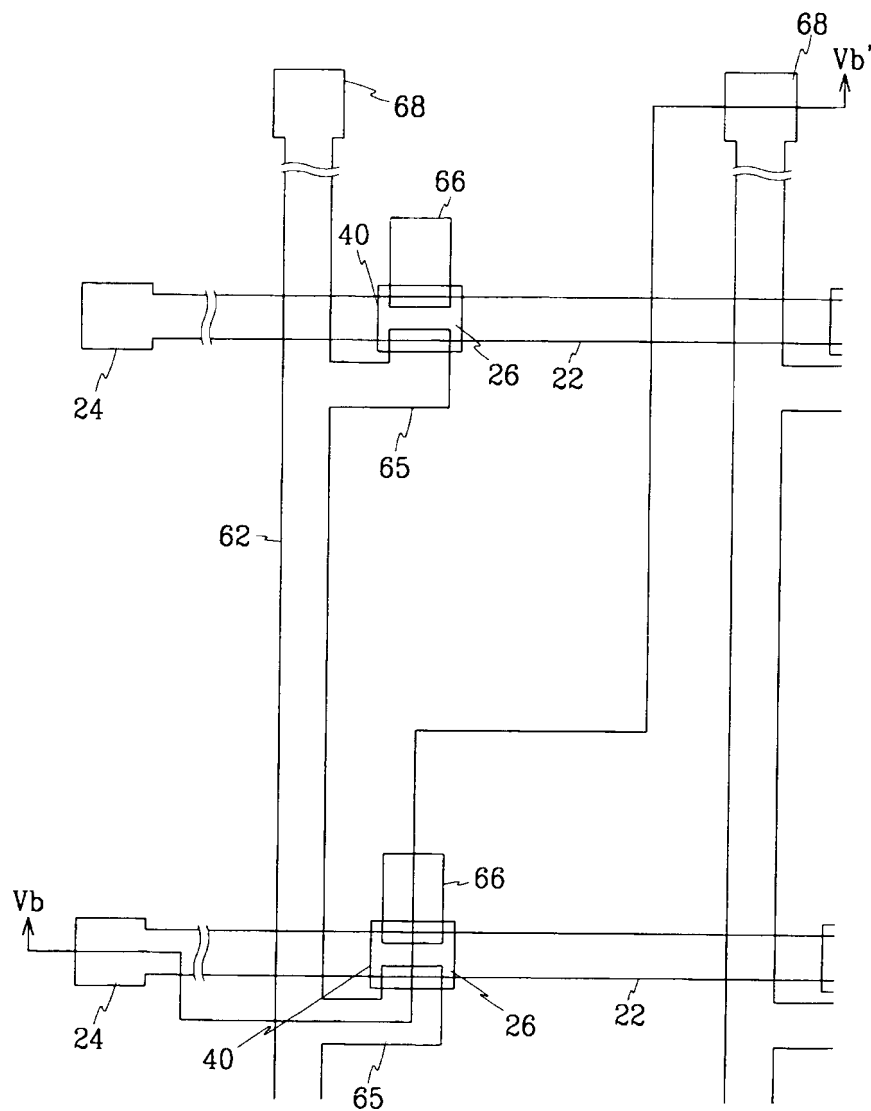


【도 4b】

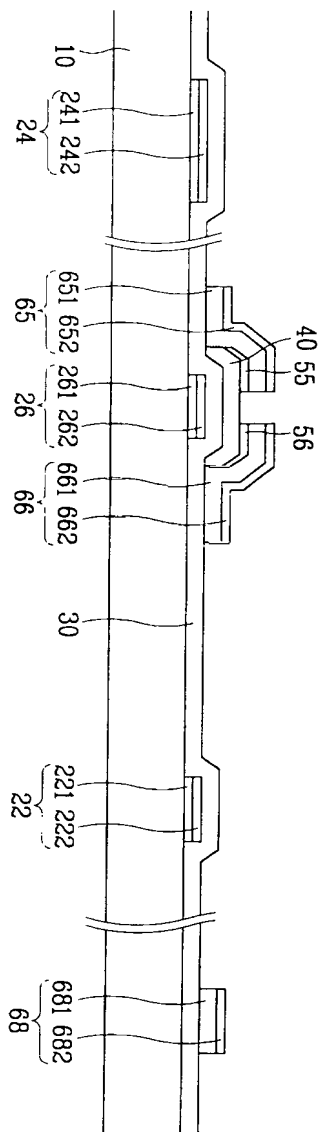




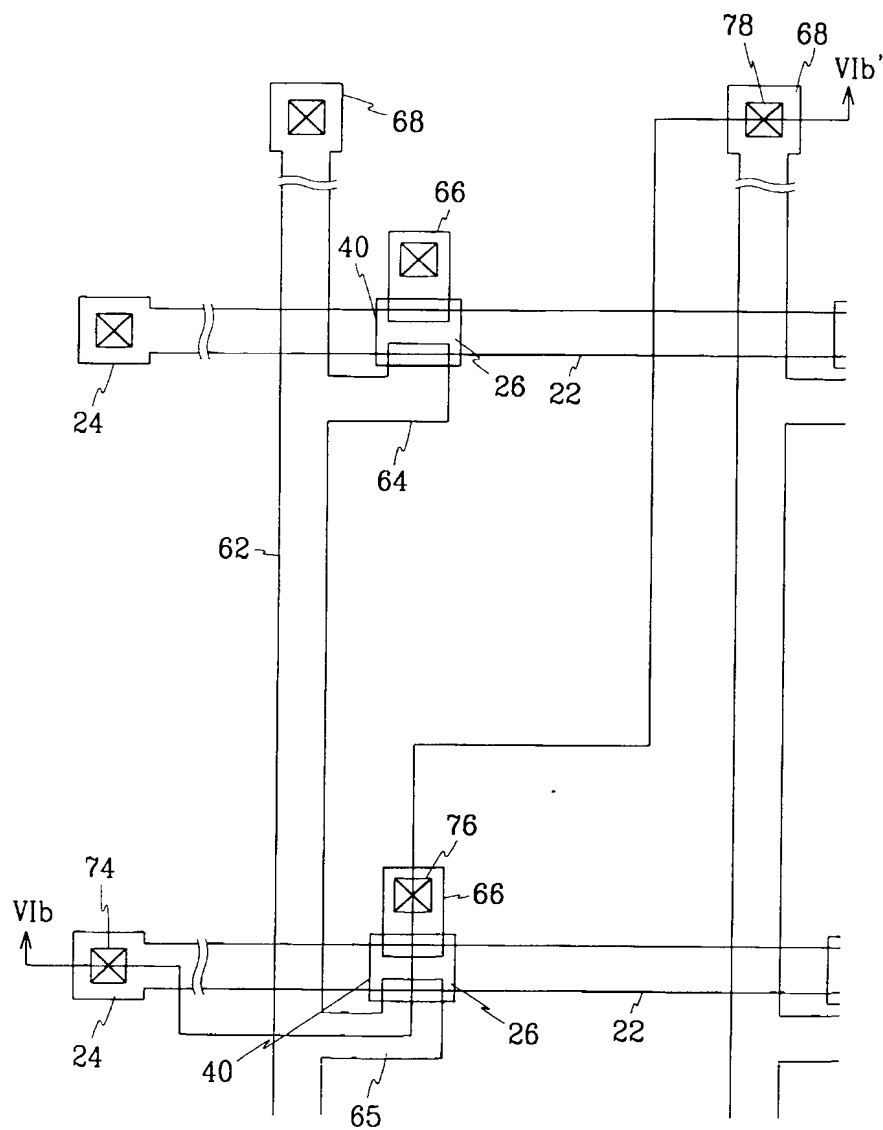
【도 5a】



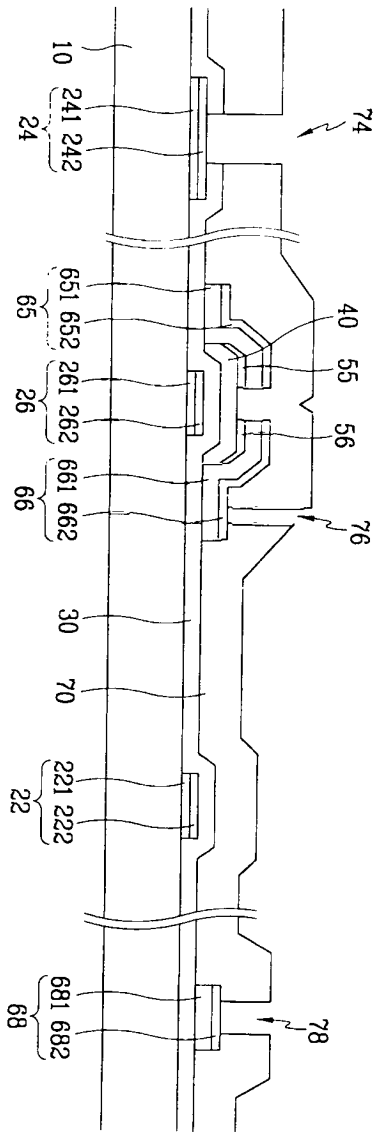
【도 5b】



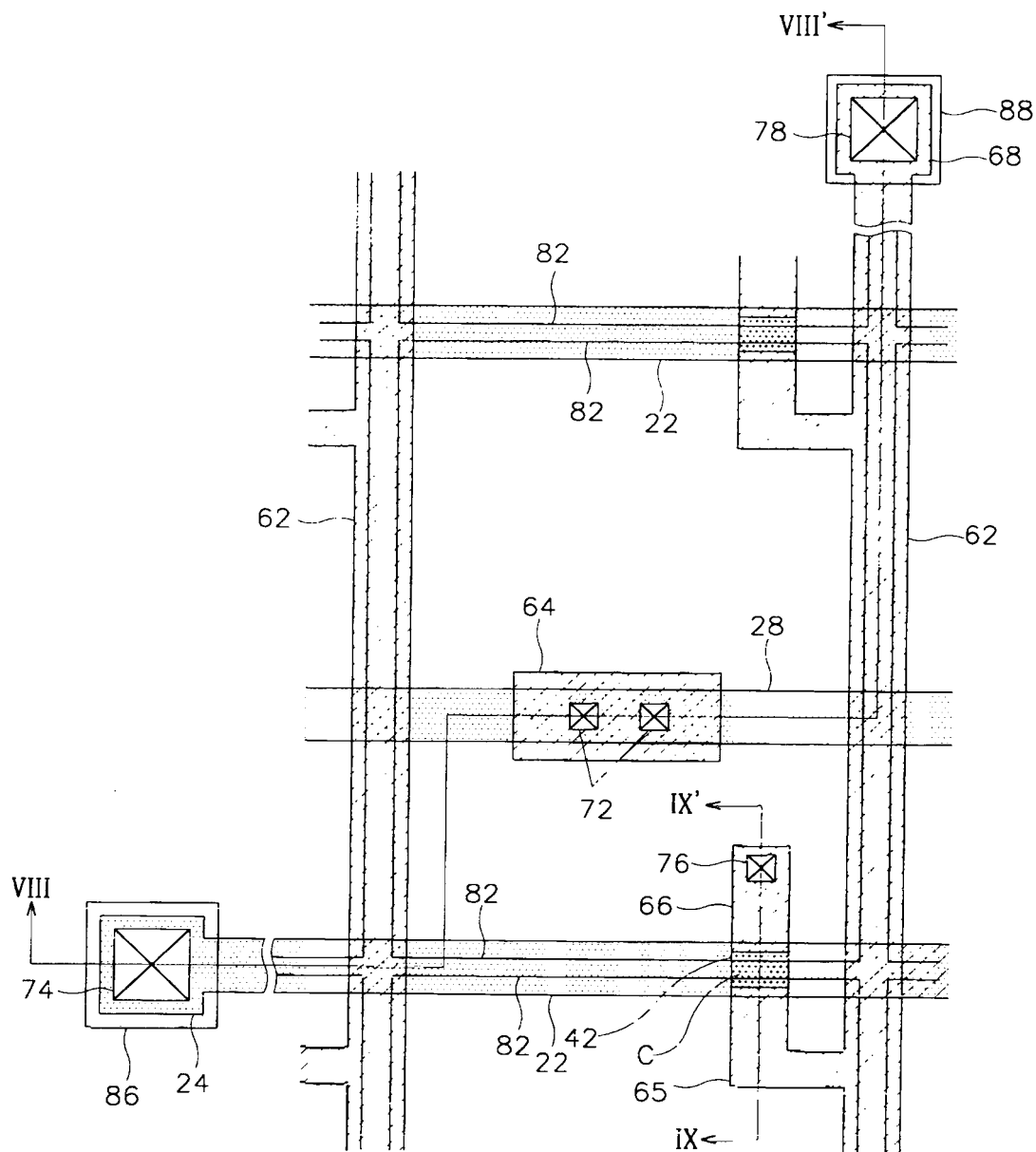
【도 6a】



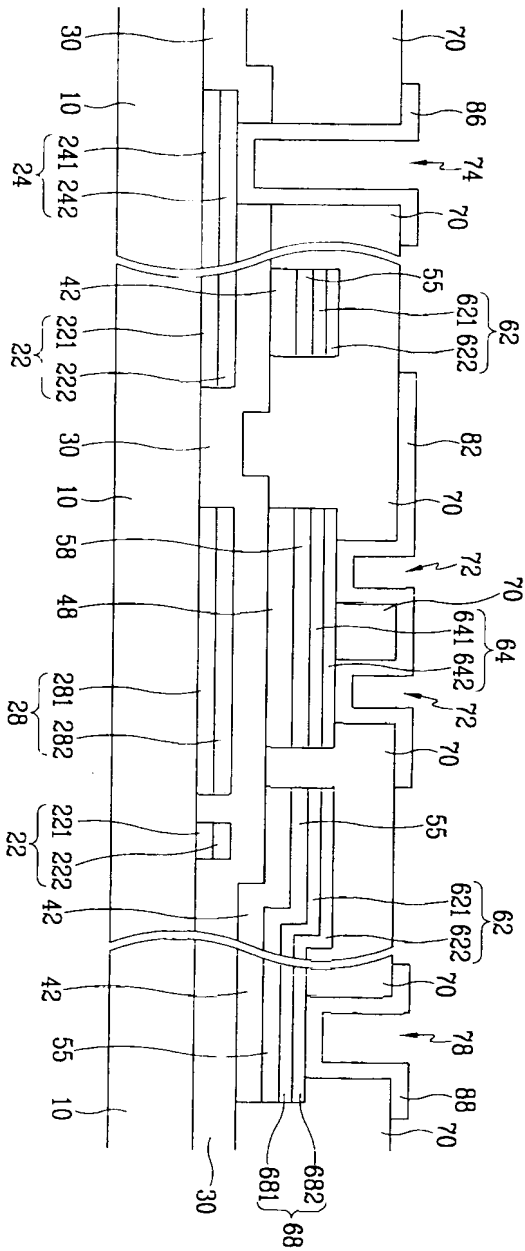
【도 6b】



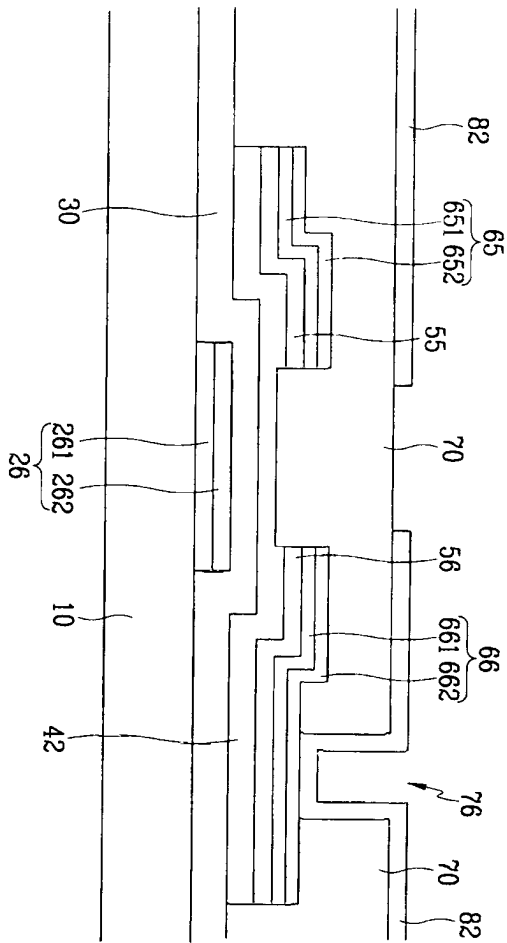
【도 7】



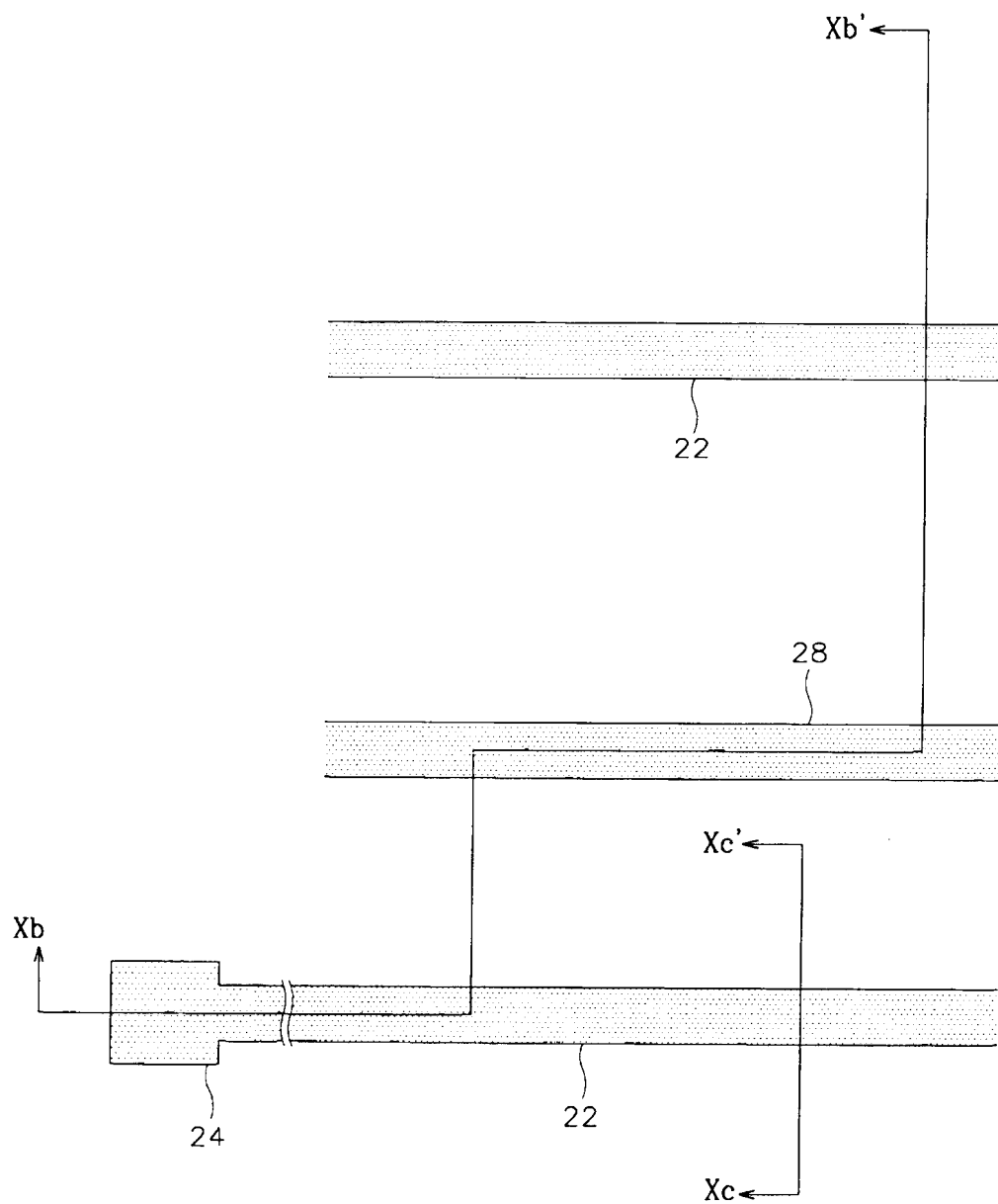
【도 8】



【도 9】

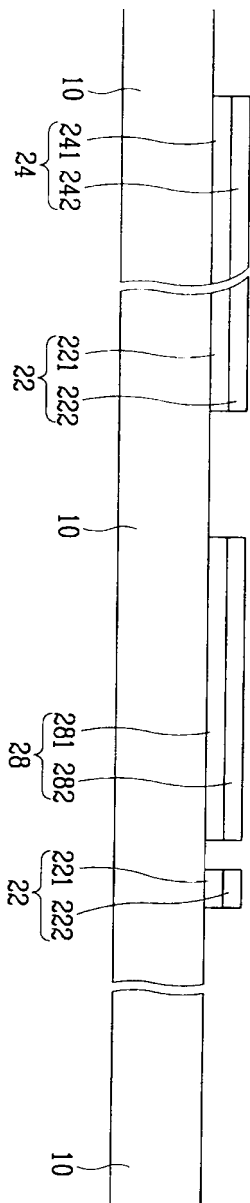


【도 10a】

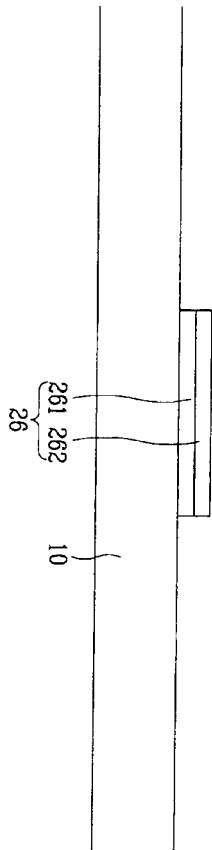




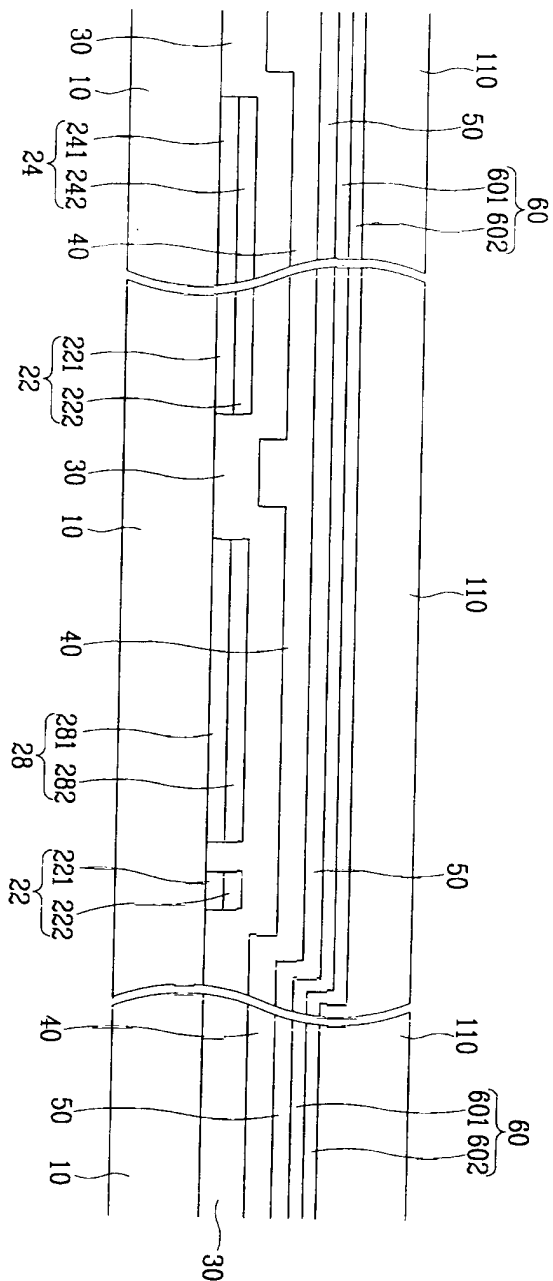
【도 10b】



【도 10c】



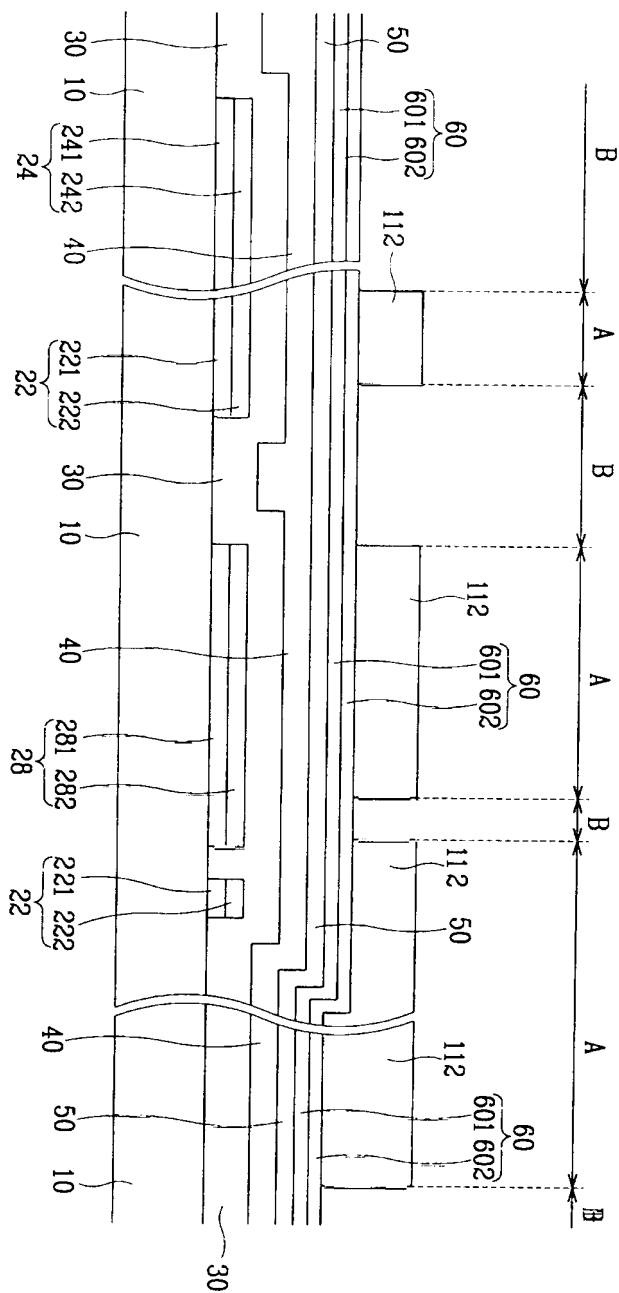
【도 11a】



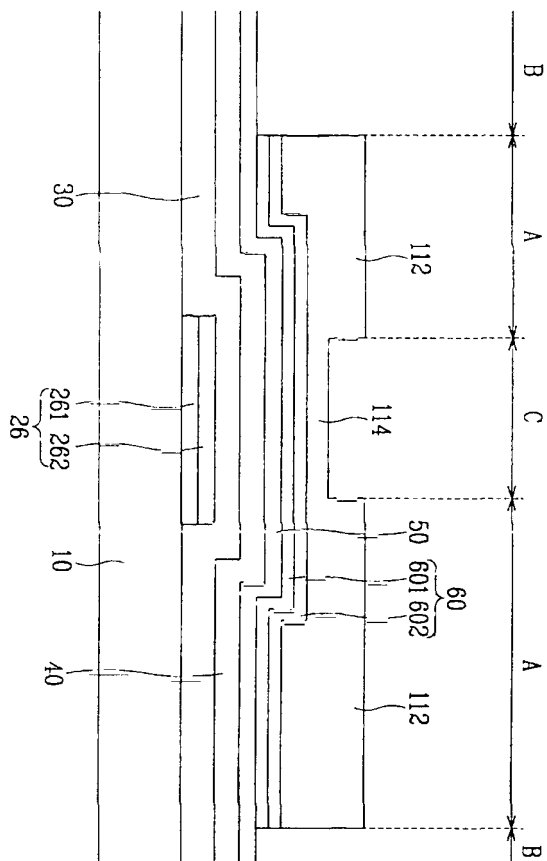




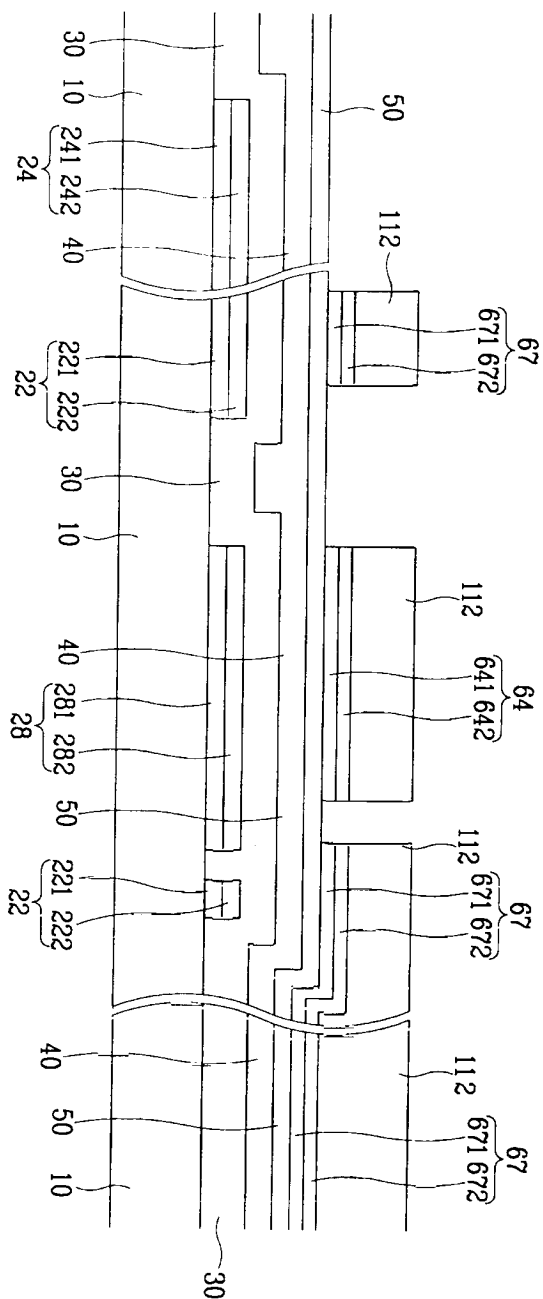
【도 12b】



【도 12c】

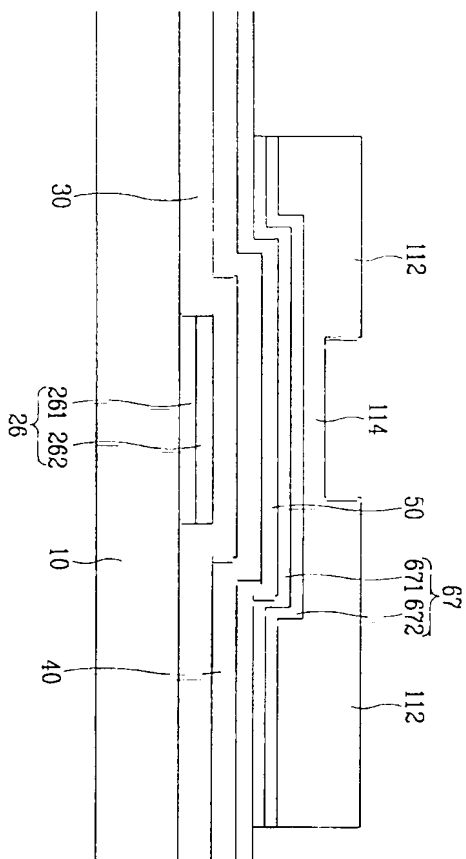


【도 13a】

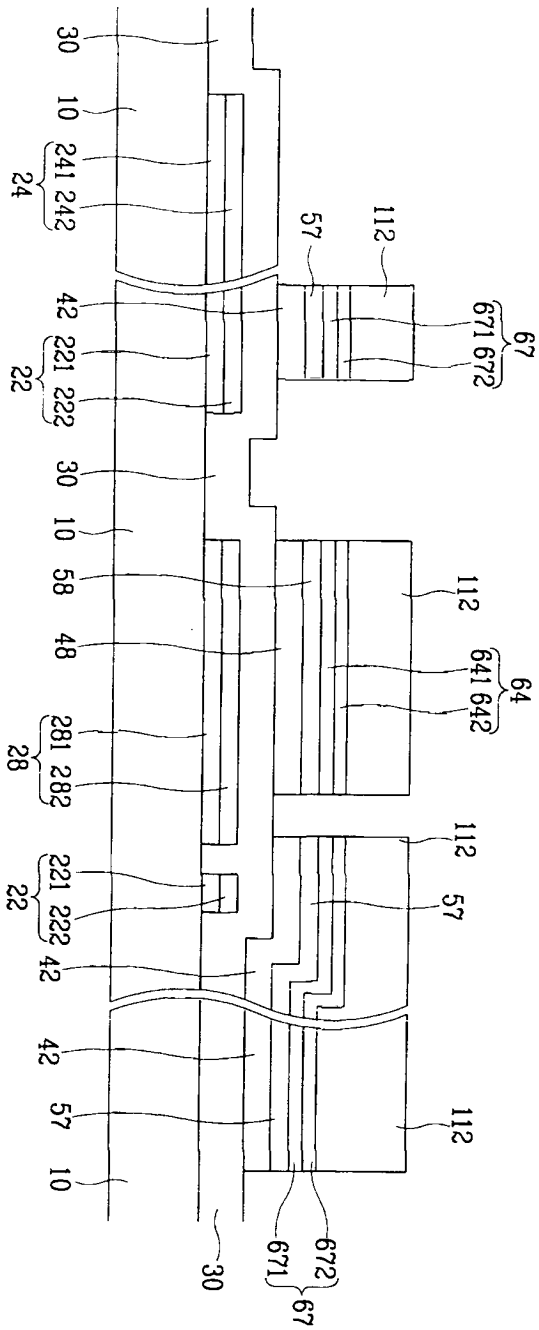




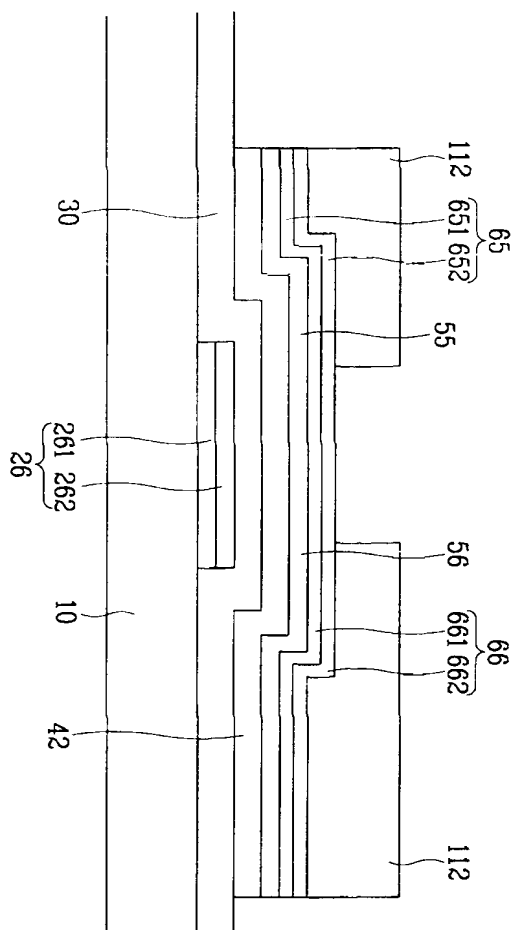
【도 13b】



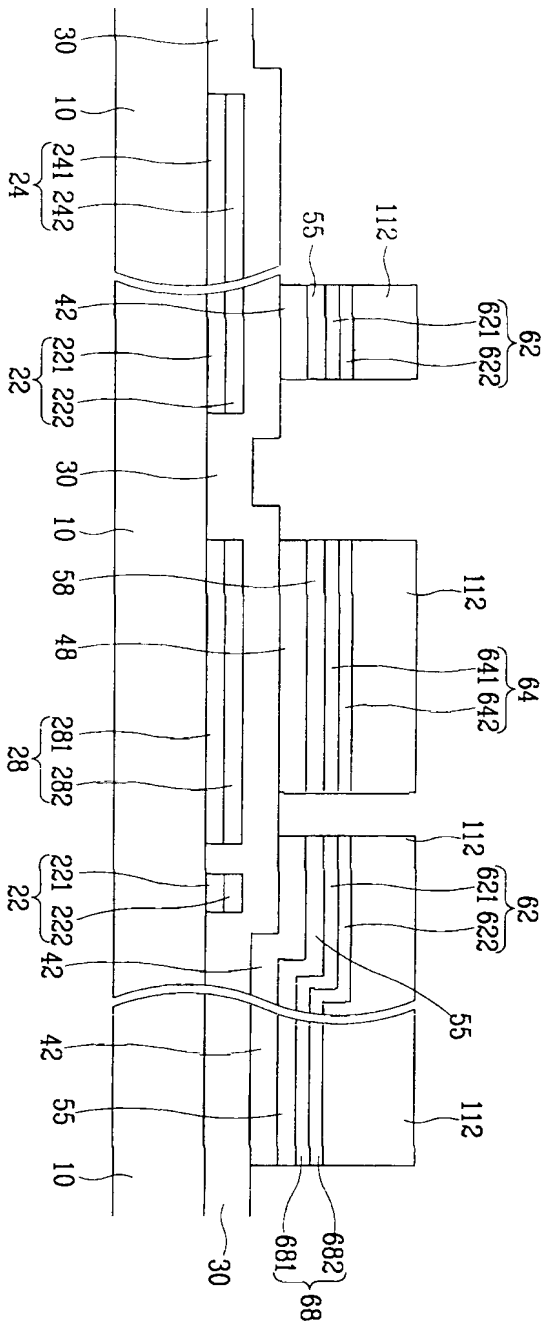
【도 14a】



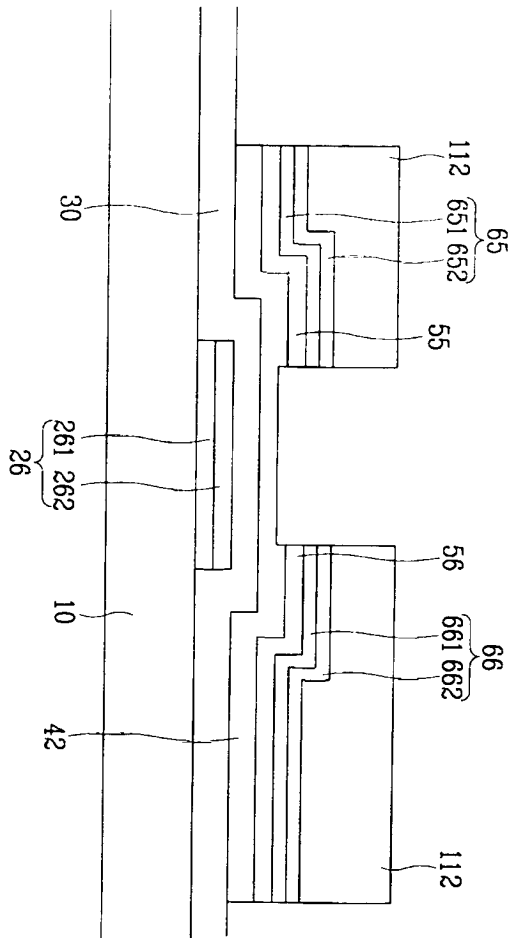
【도 14b】



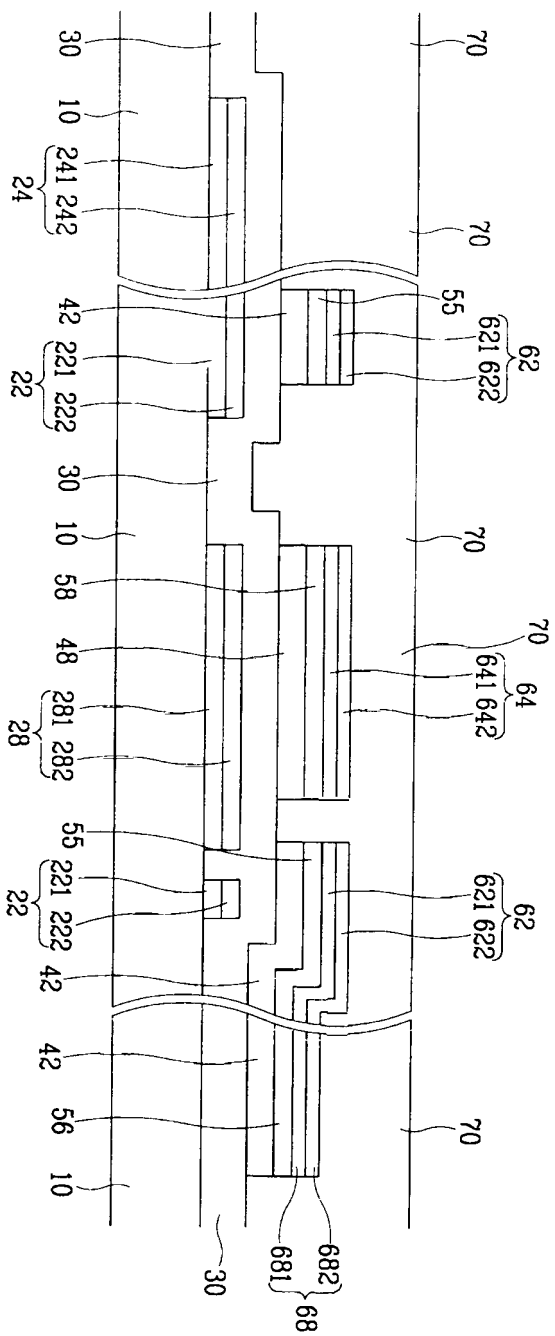
【도 15a】



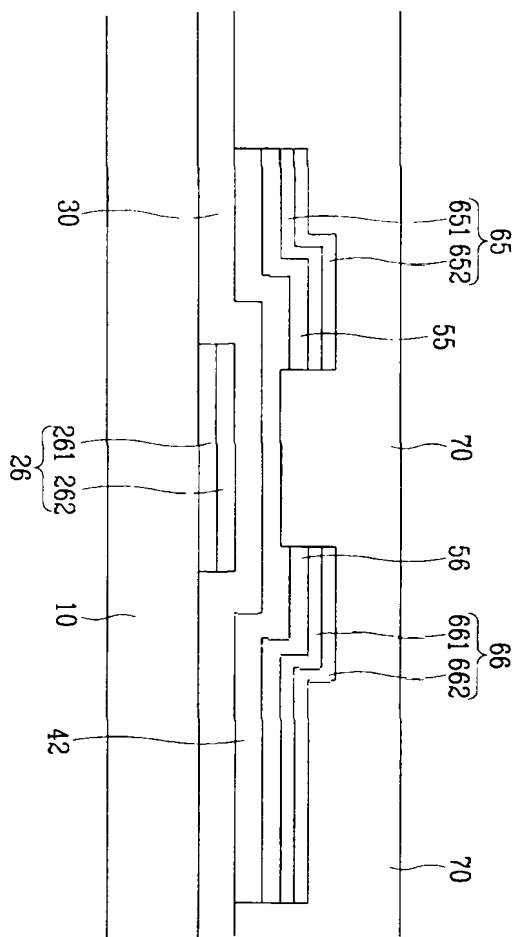
【도 15b】



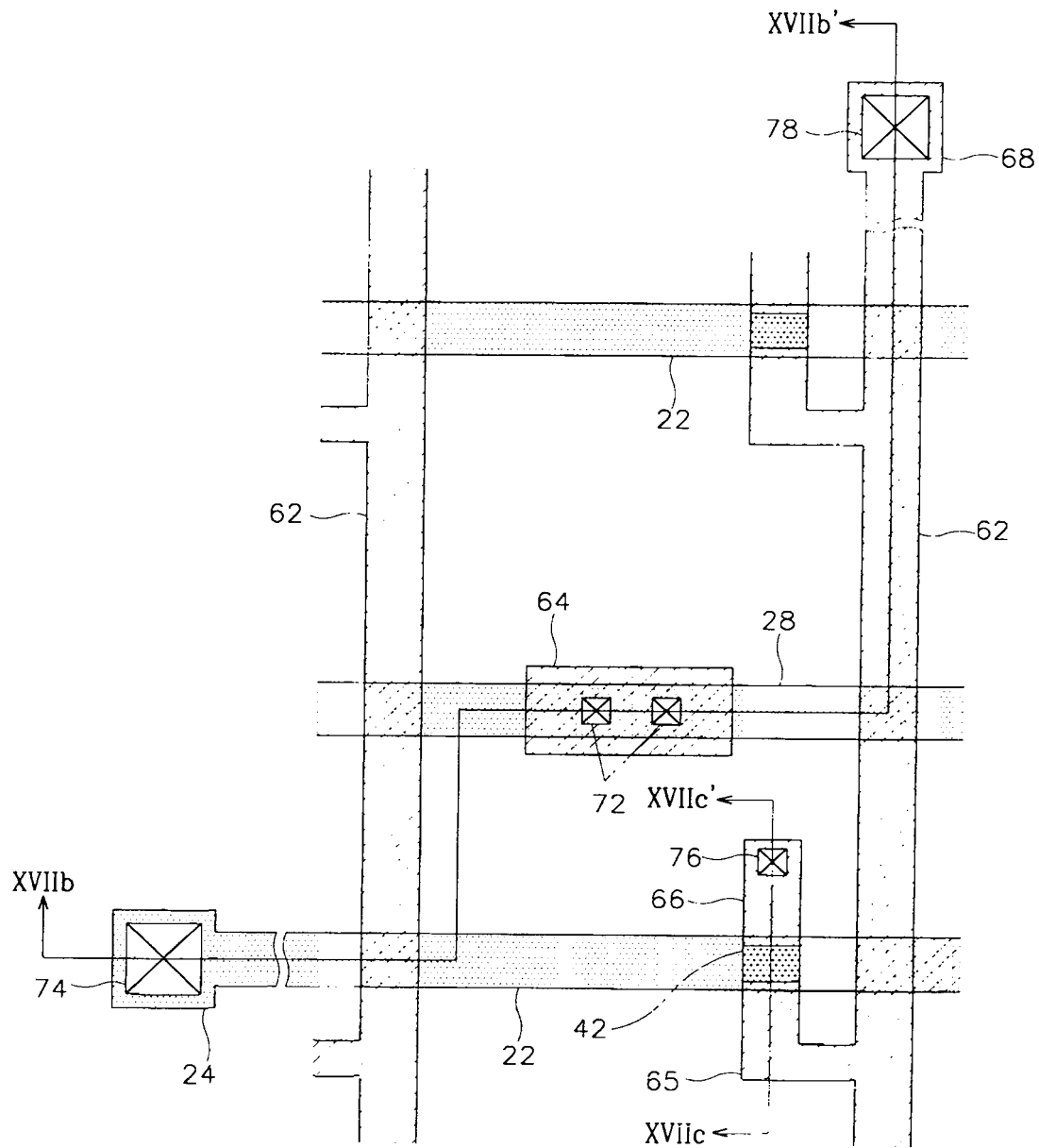
【도 16a】



【도 16b】

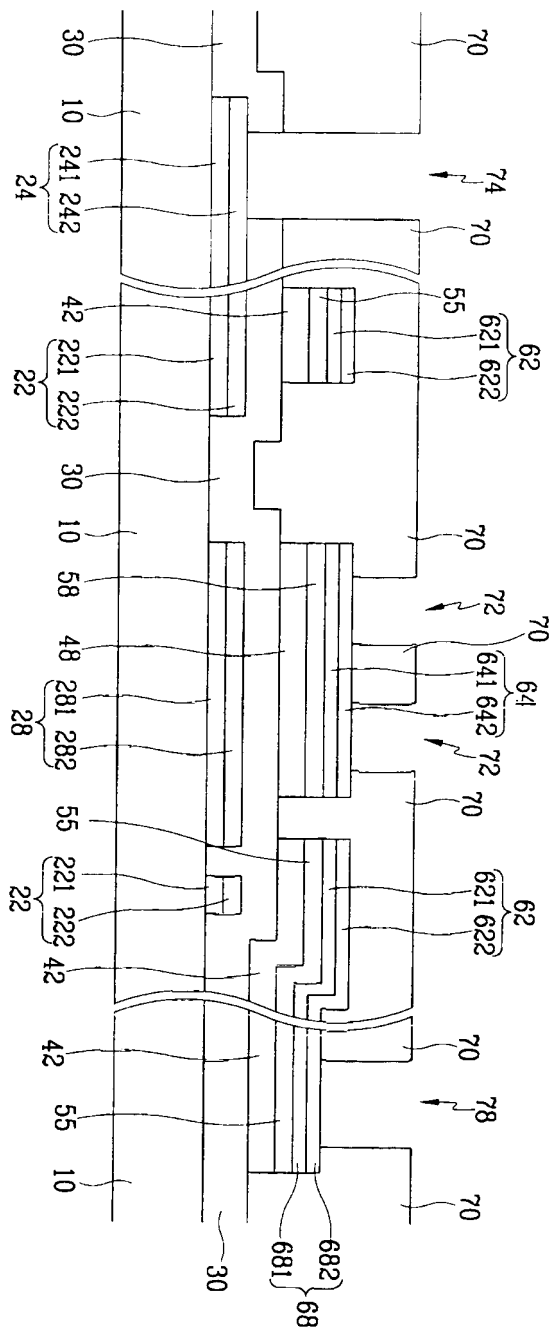


【도 17a】

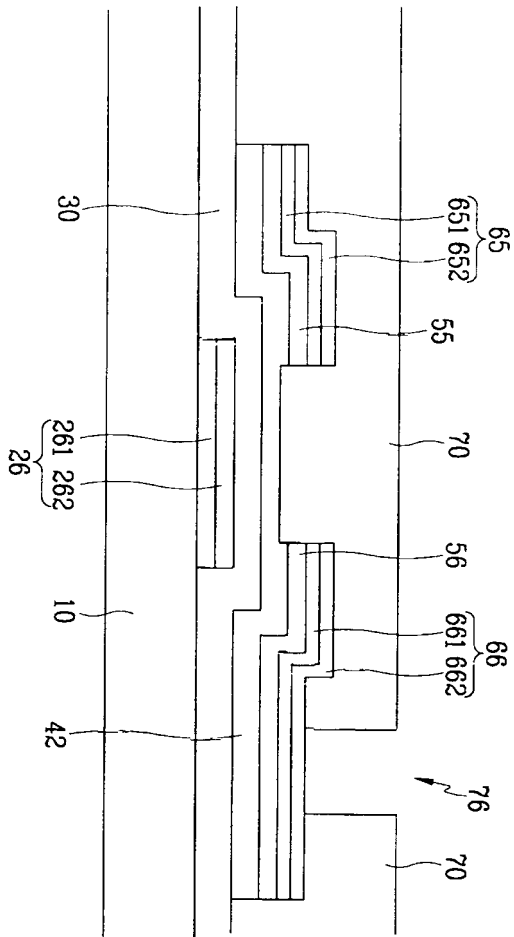




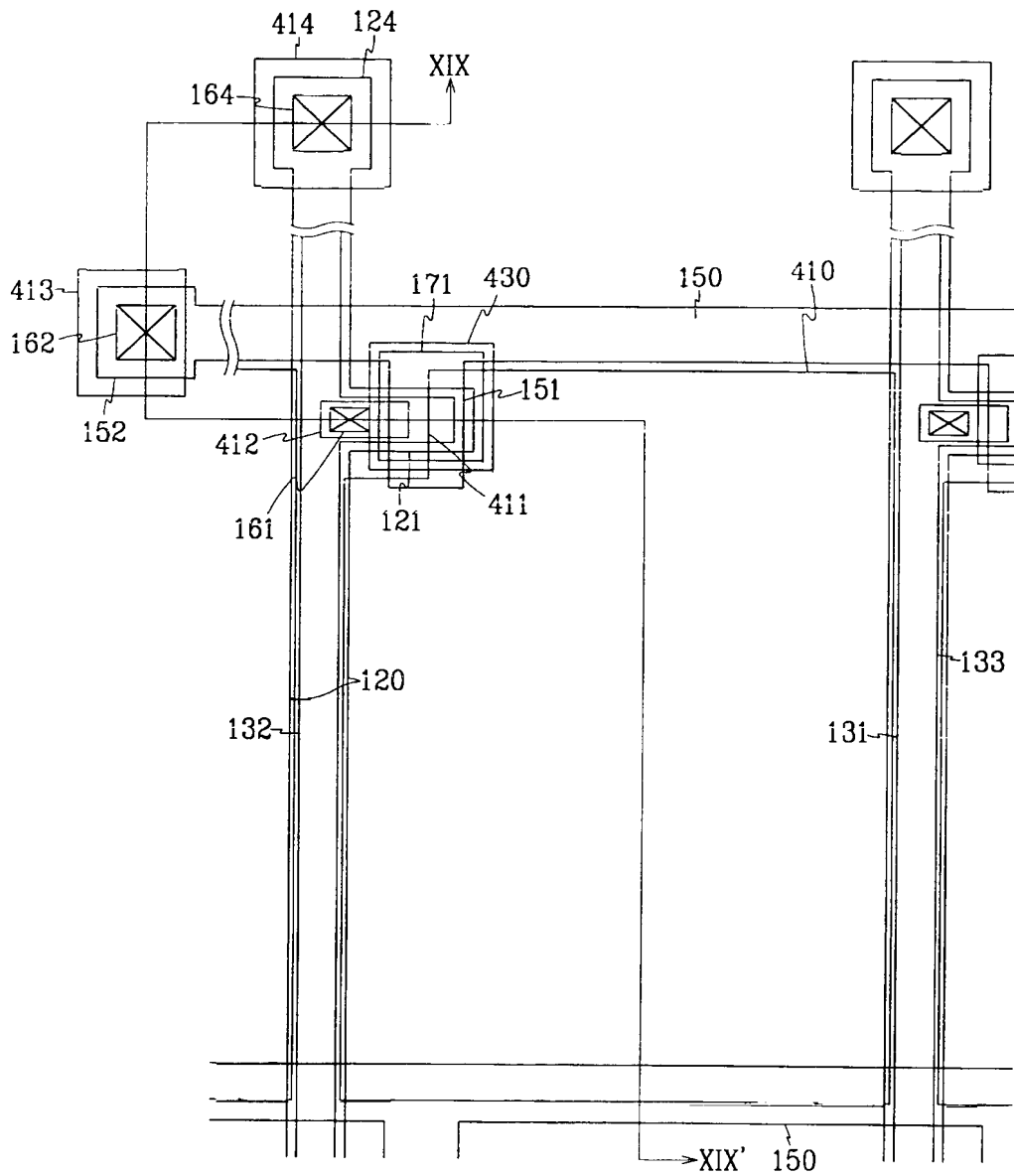
【도 17b】



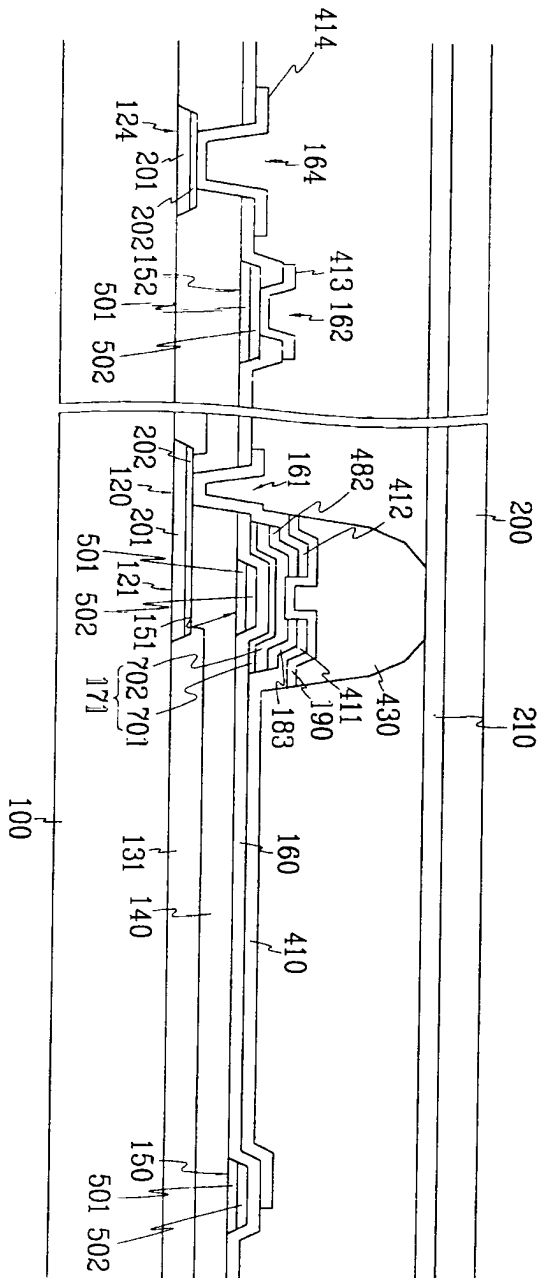
【도 17c】



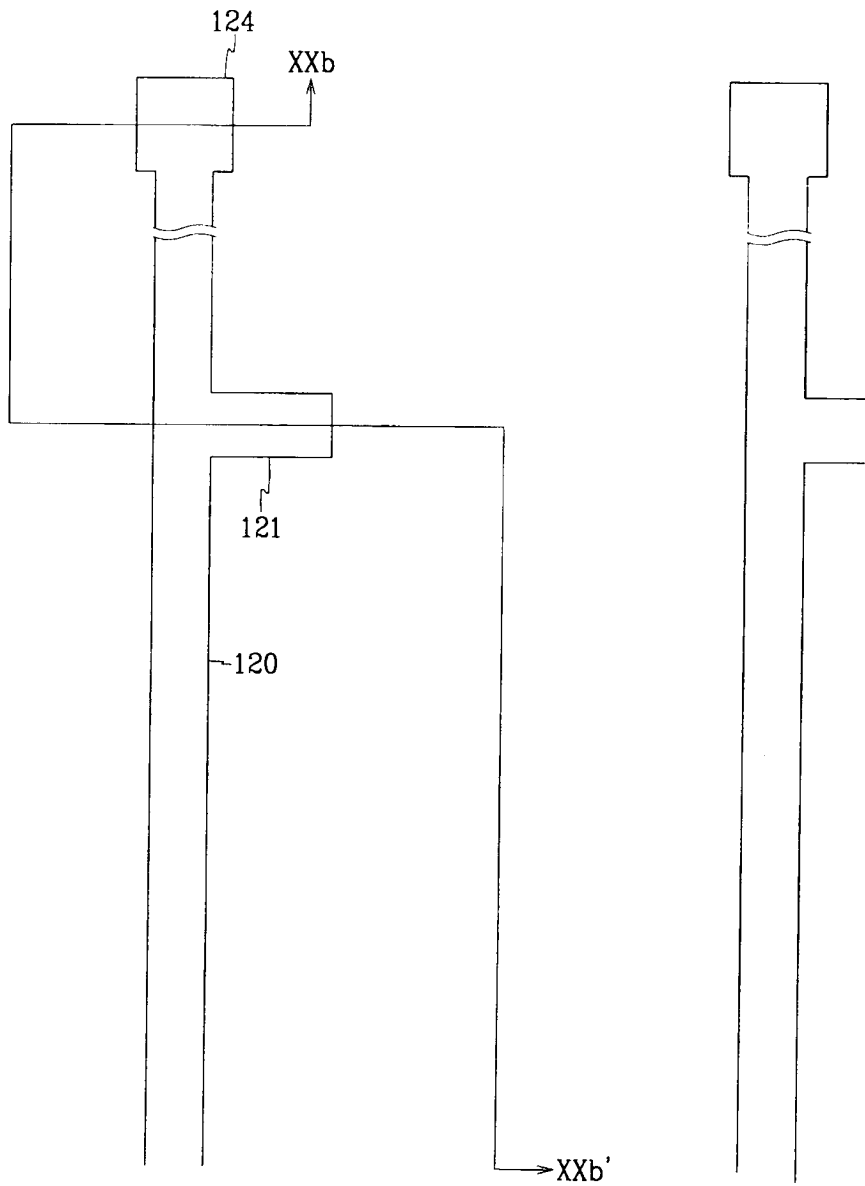
【도 18】



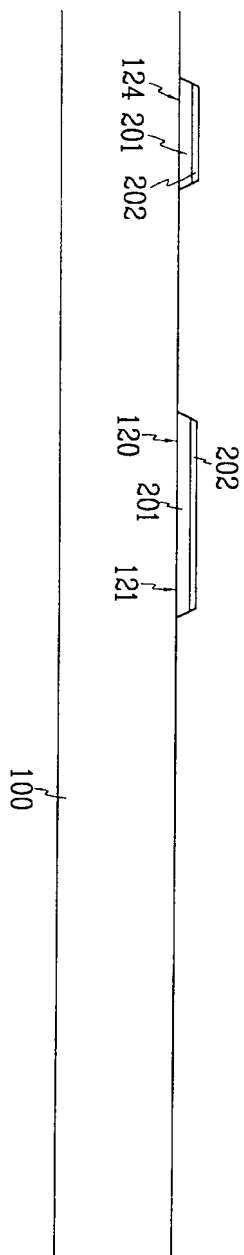
【도 19】



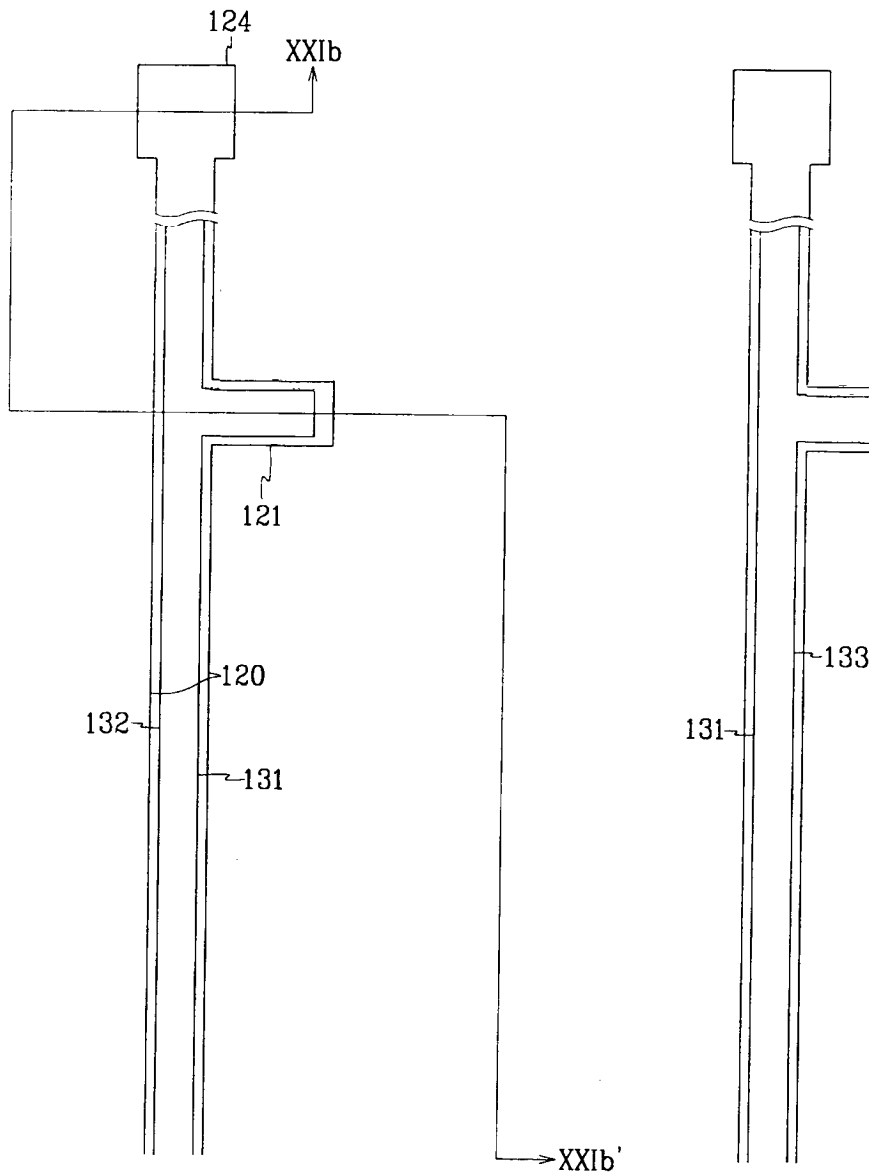
【도 20a】



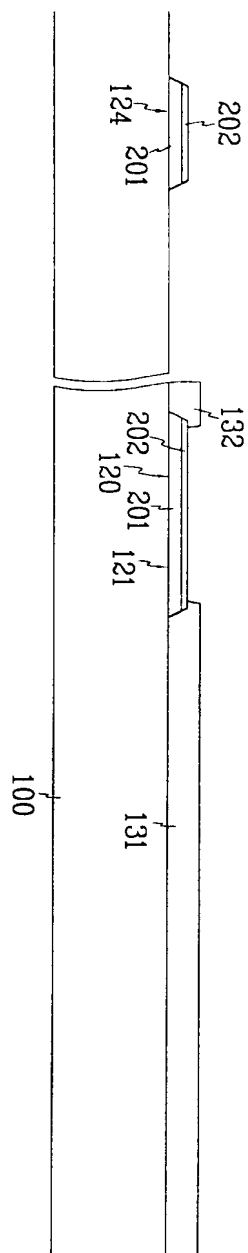
【도 20b】



【도 21a】

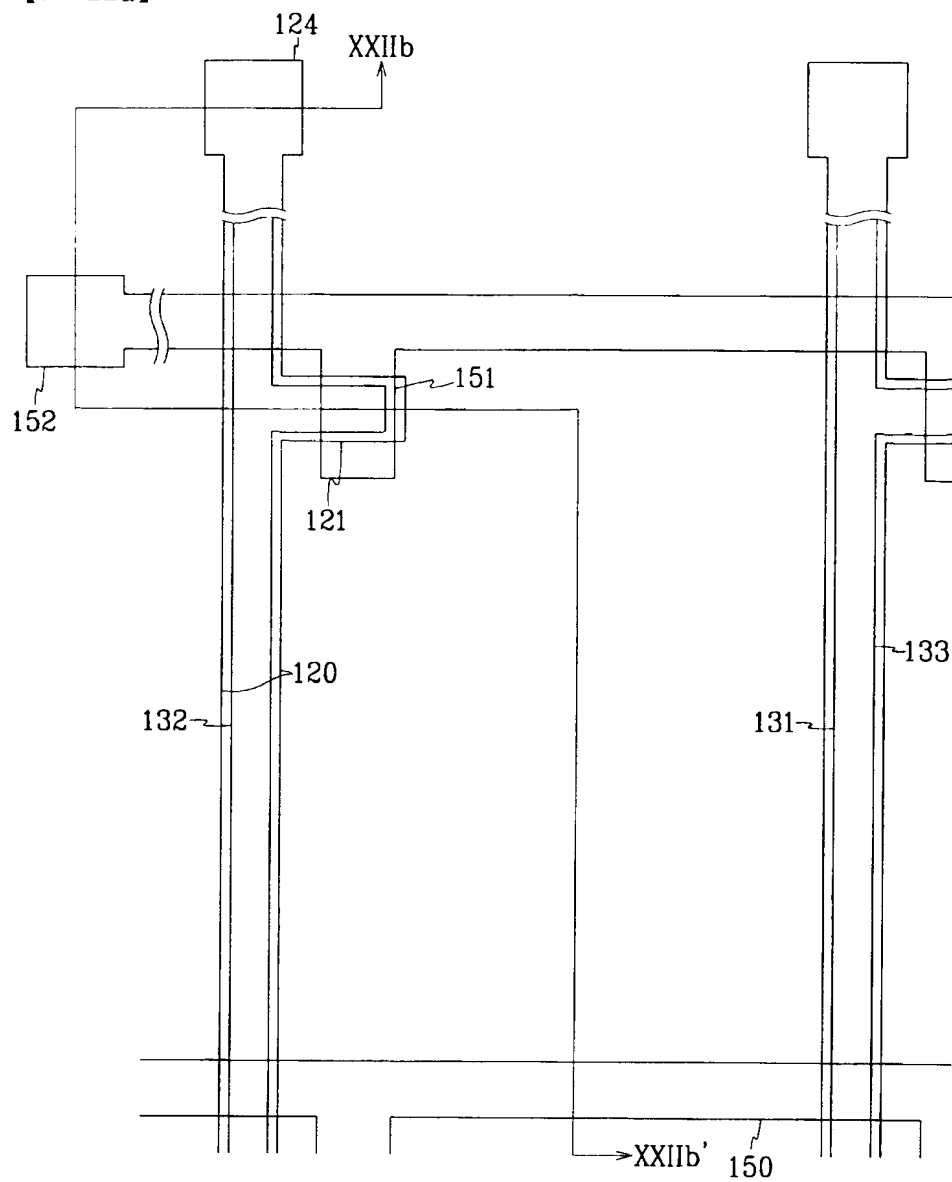


【도 21b】

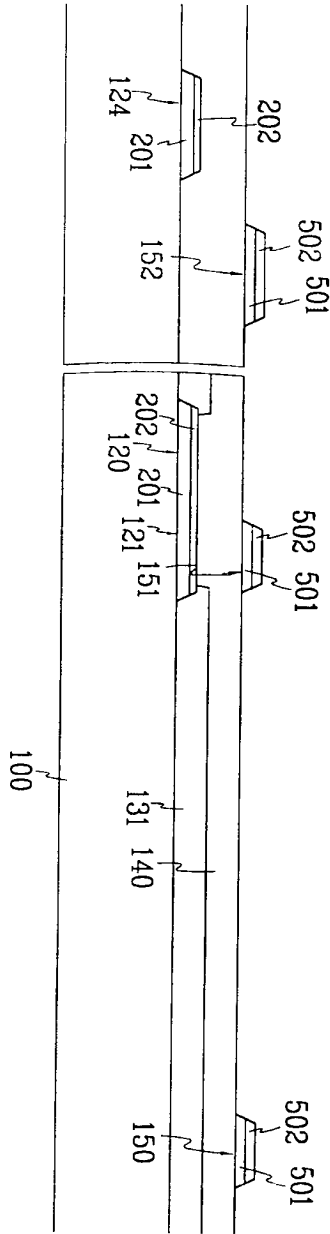




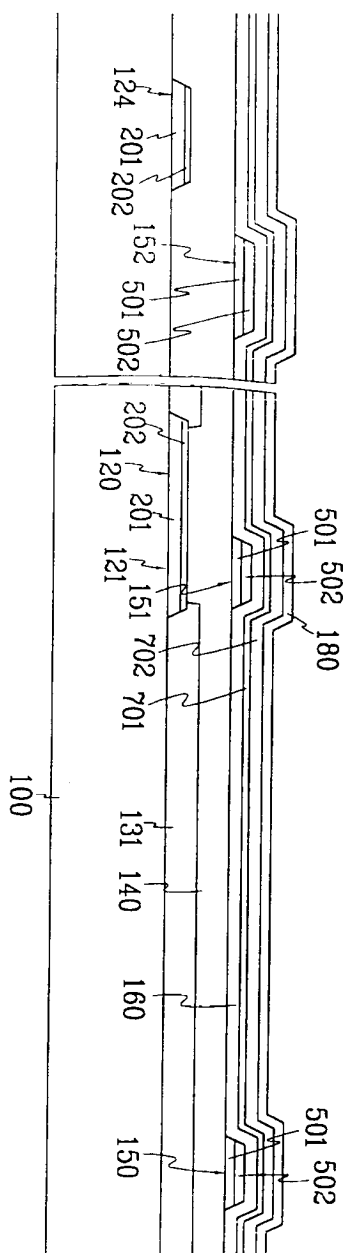
【도 22a】



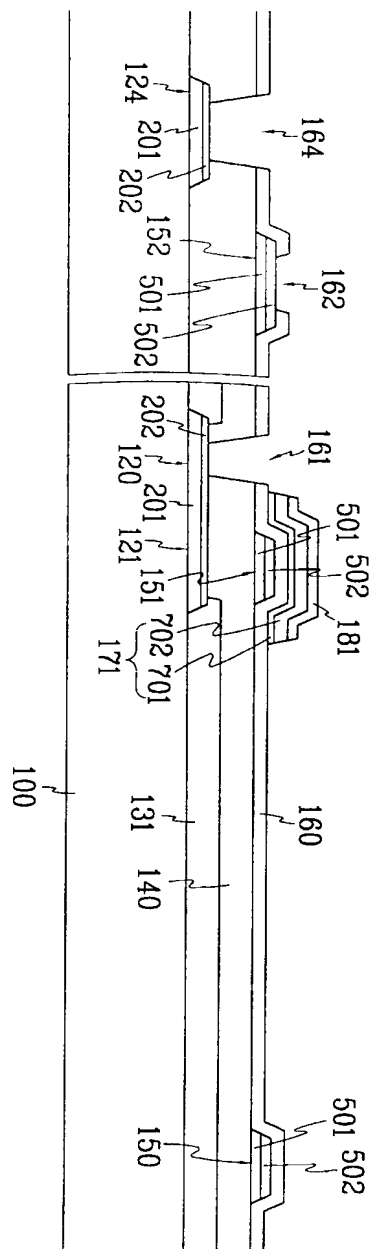
【도 22b】



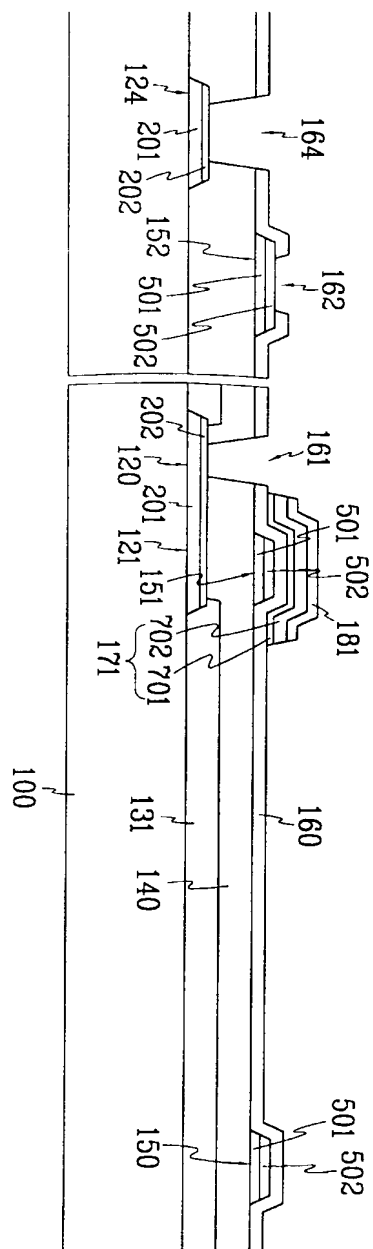
【도 23】



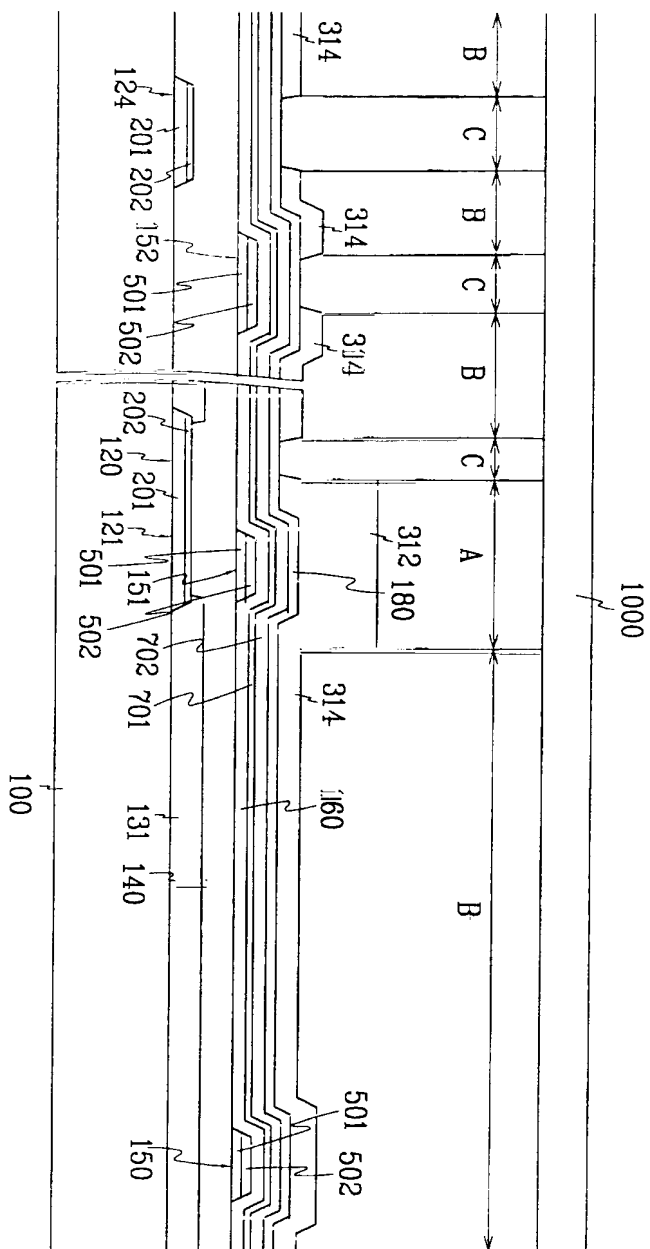
【도 24a】



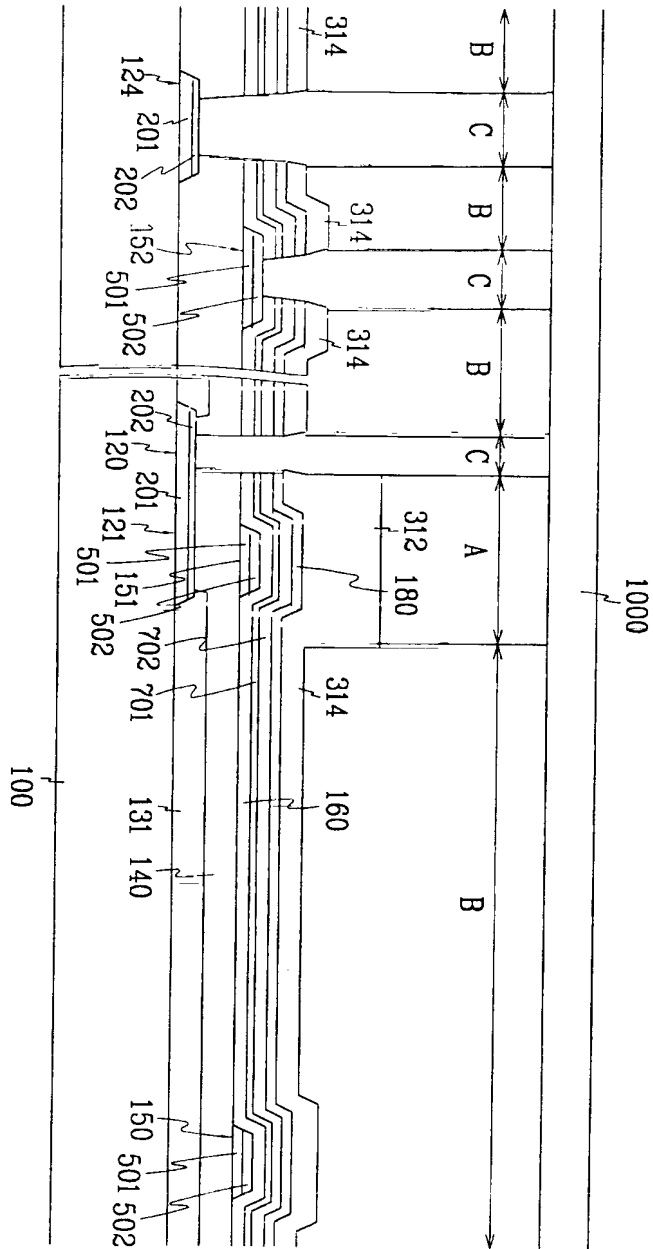
【도 24b】



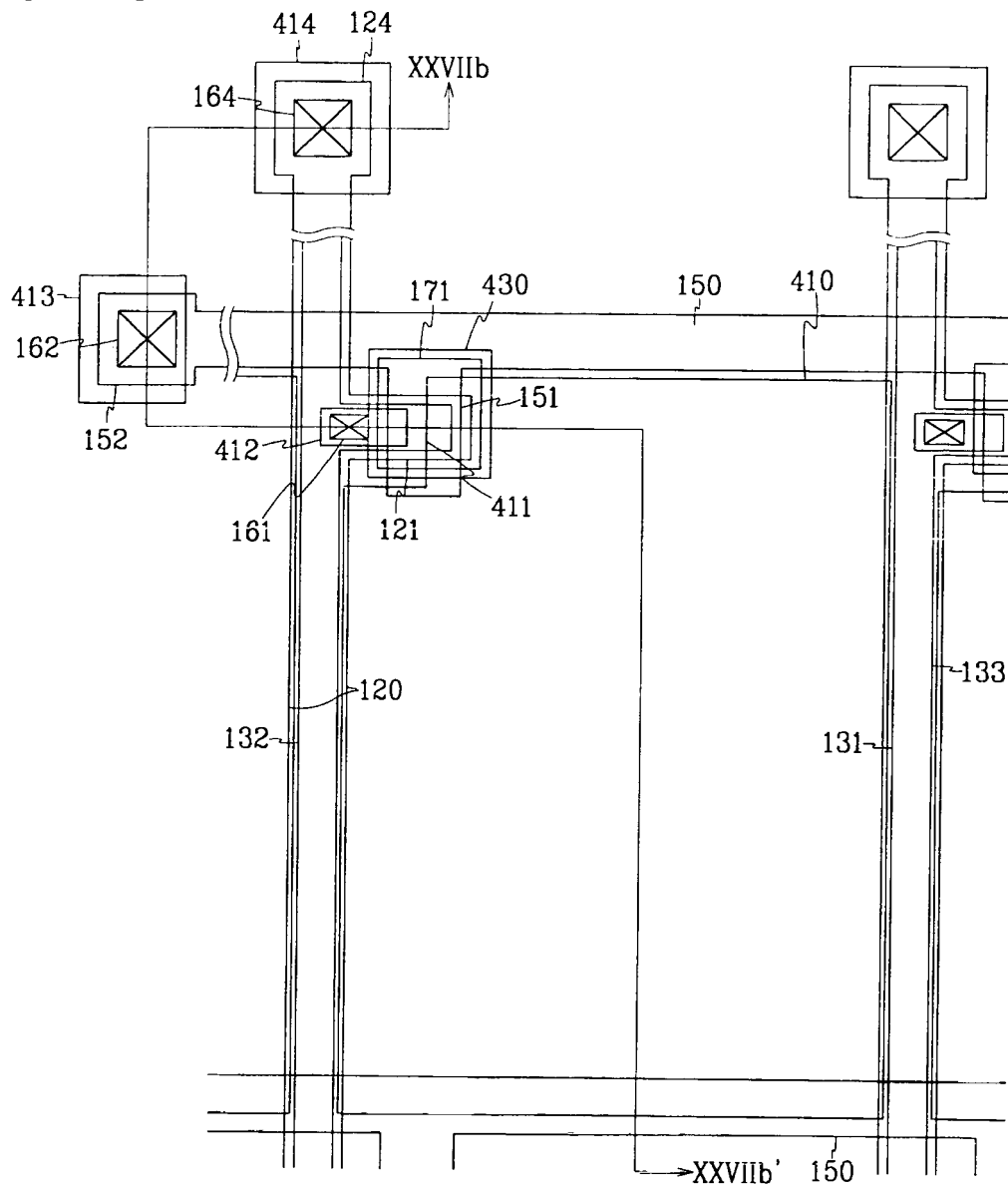
【도 25】



【도 26】

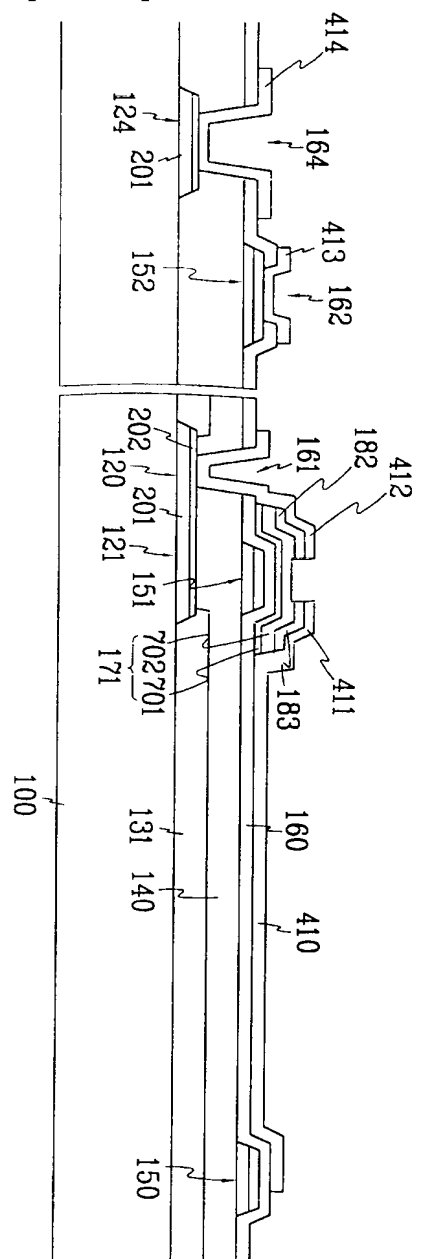


【도 27a】



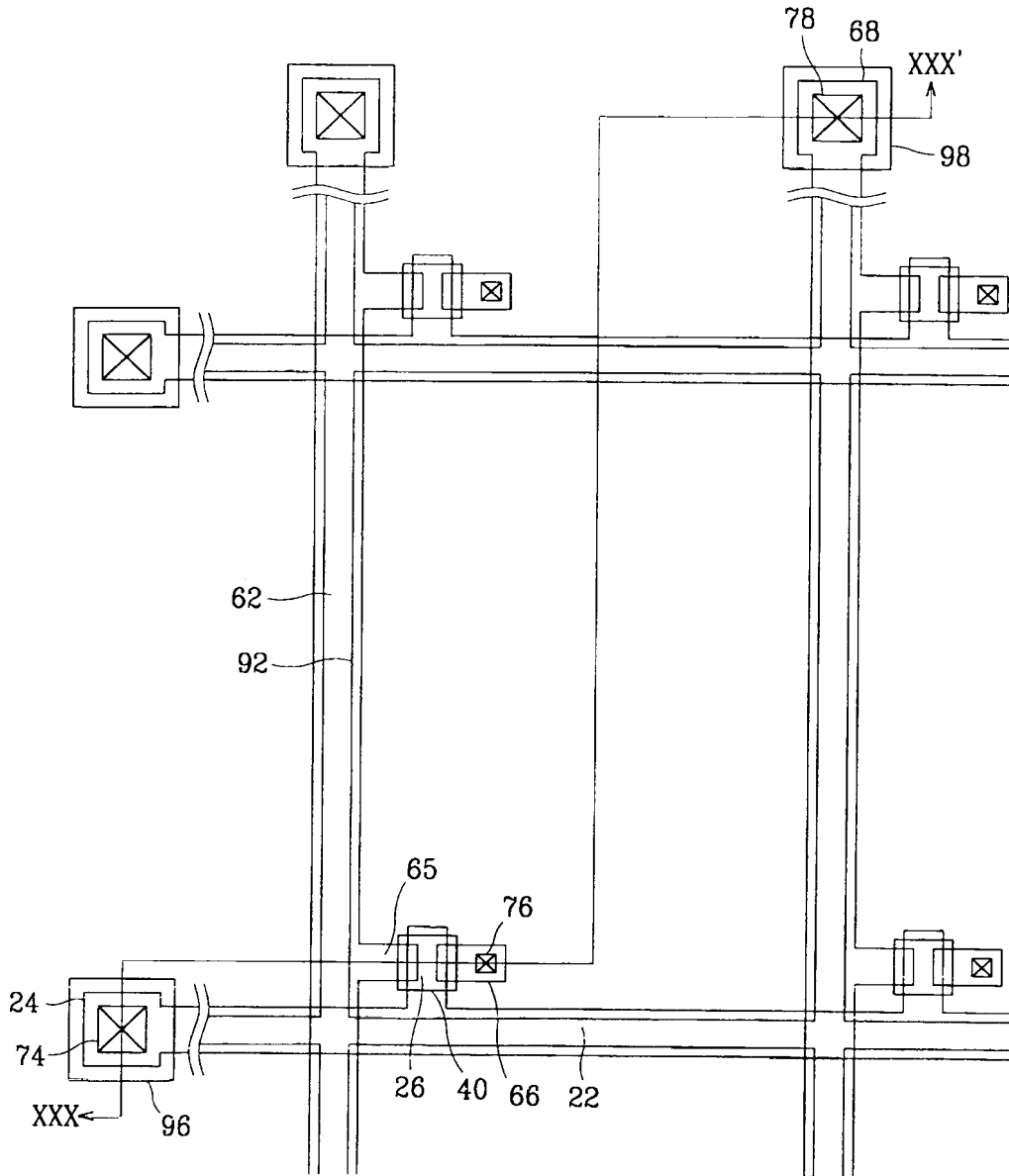


【도 27b】

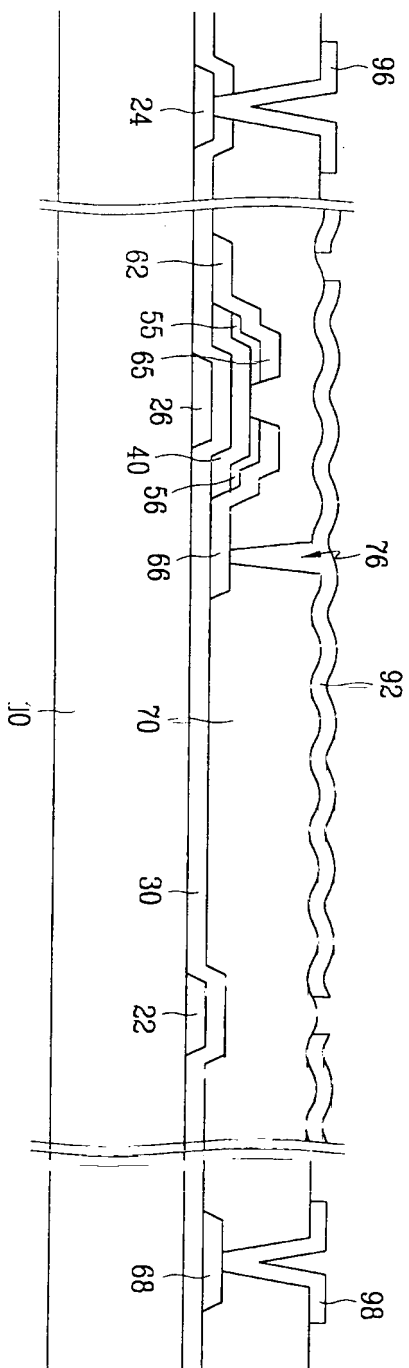




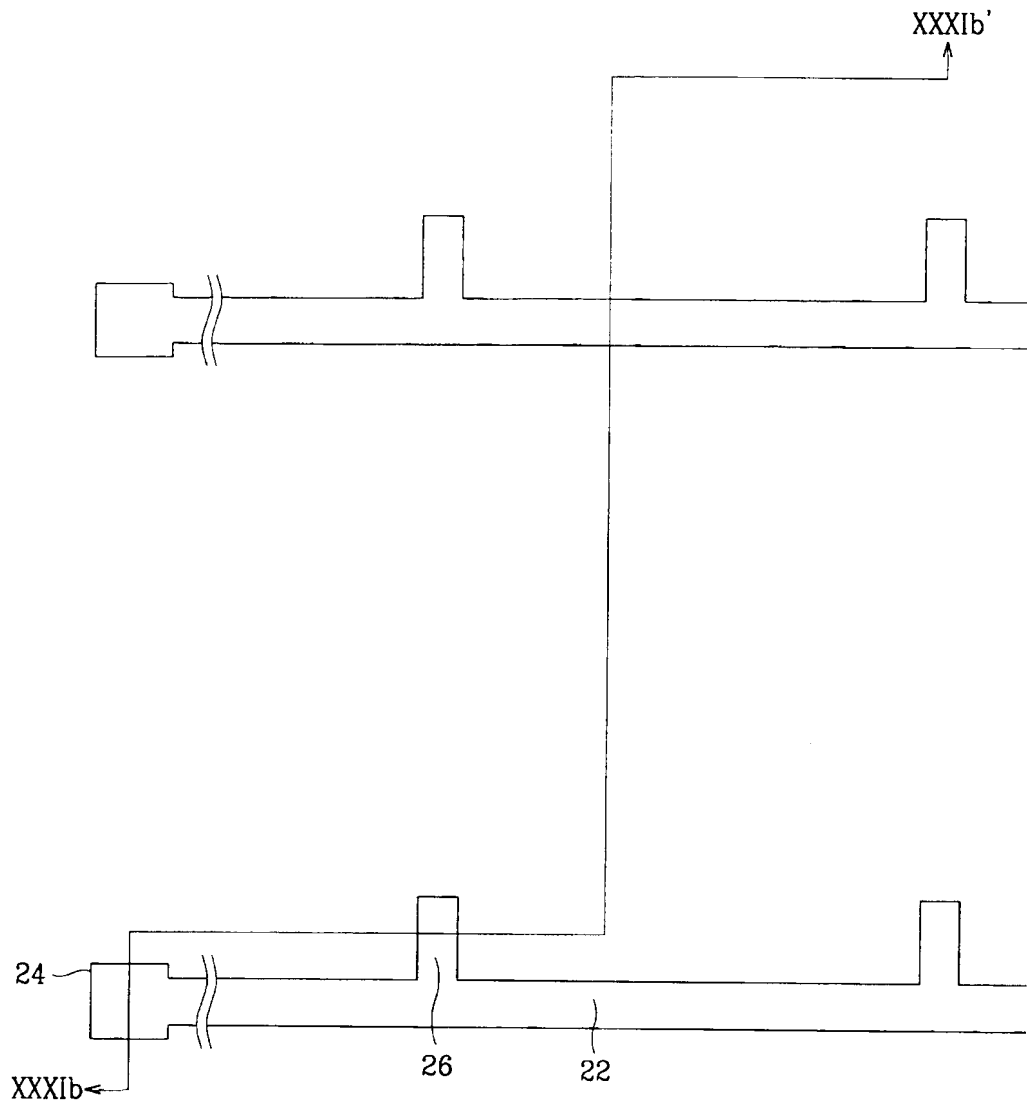
【도 29】



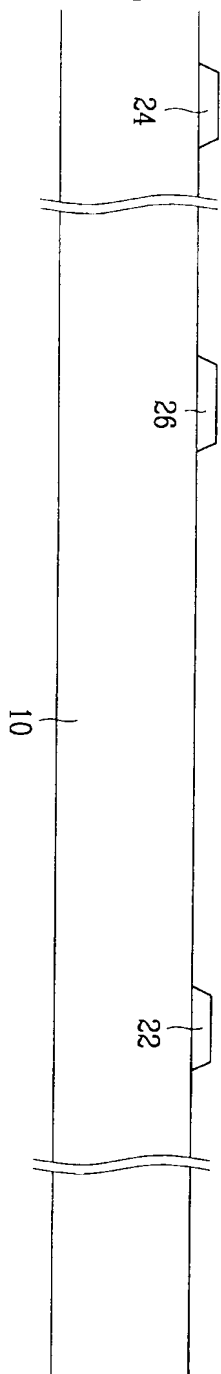
【도 30】



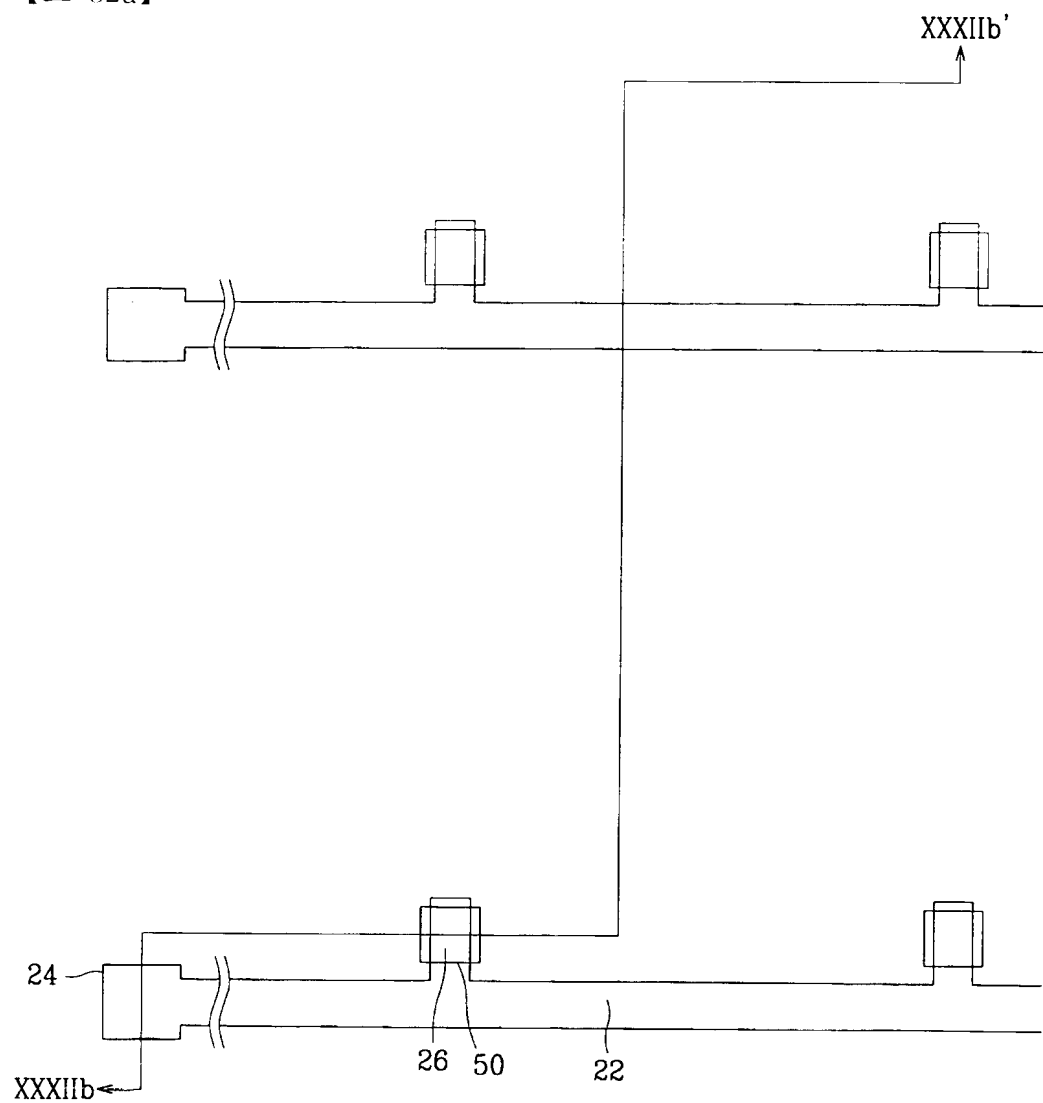
【도 31a】



【도 31b】



【도 32a】

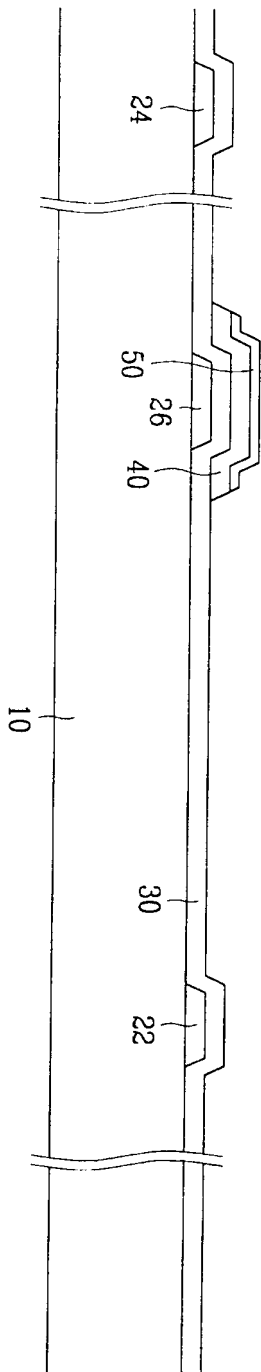




1020010060442

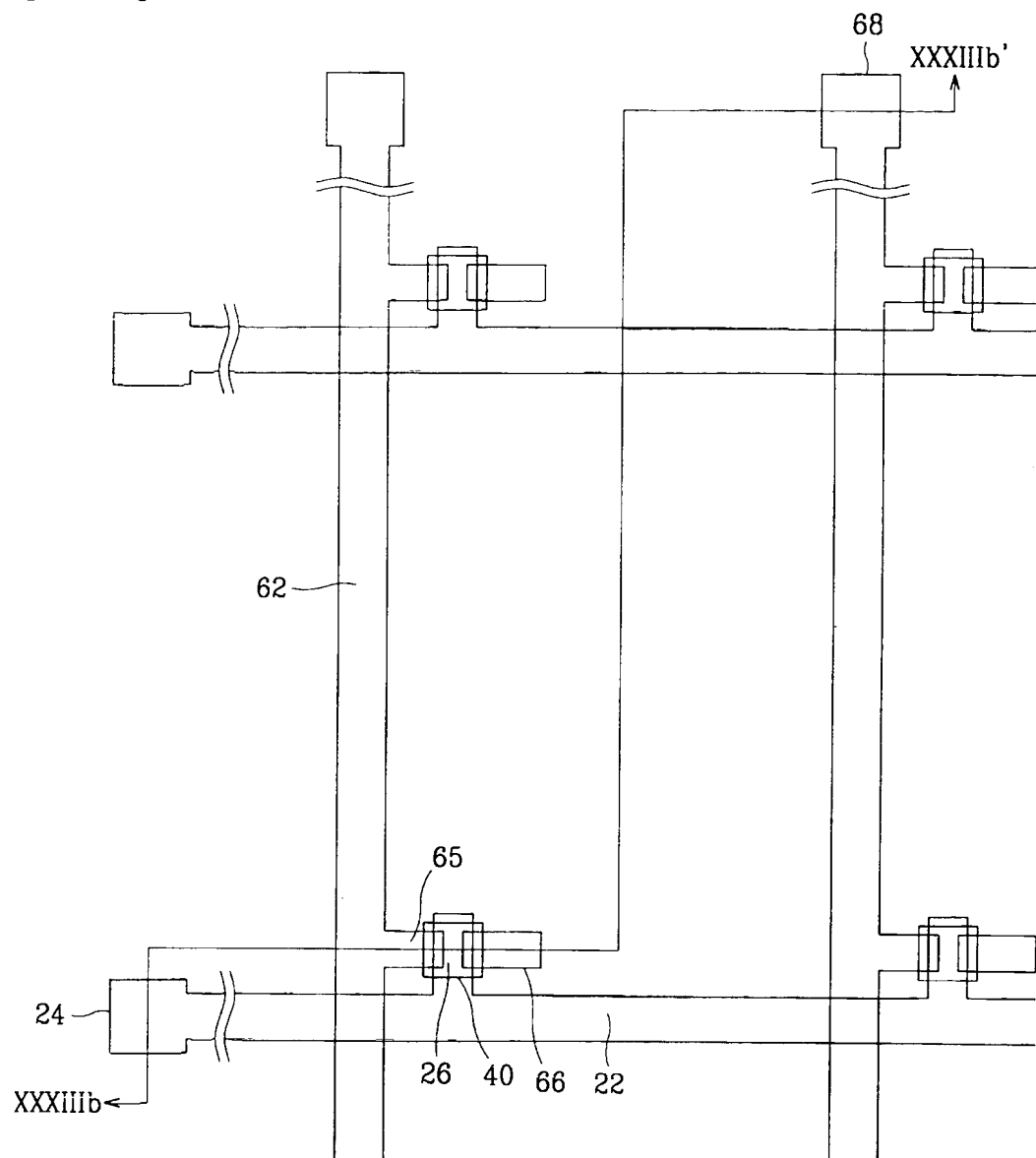
출력 일자: 2002/1/25

【도 32b】

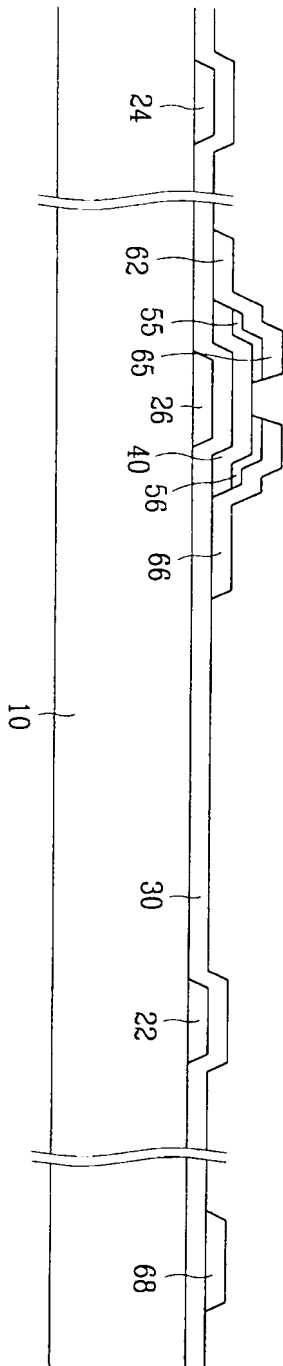




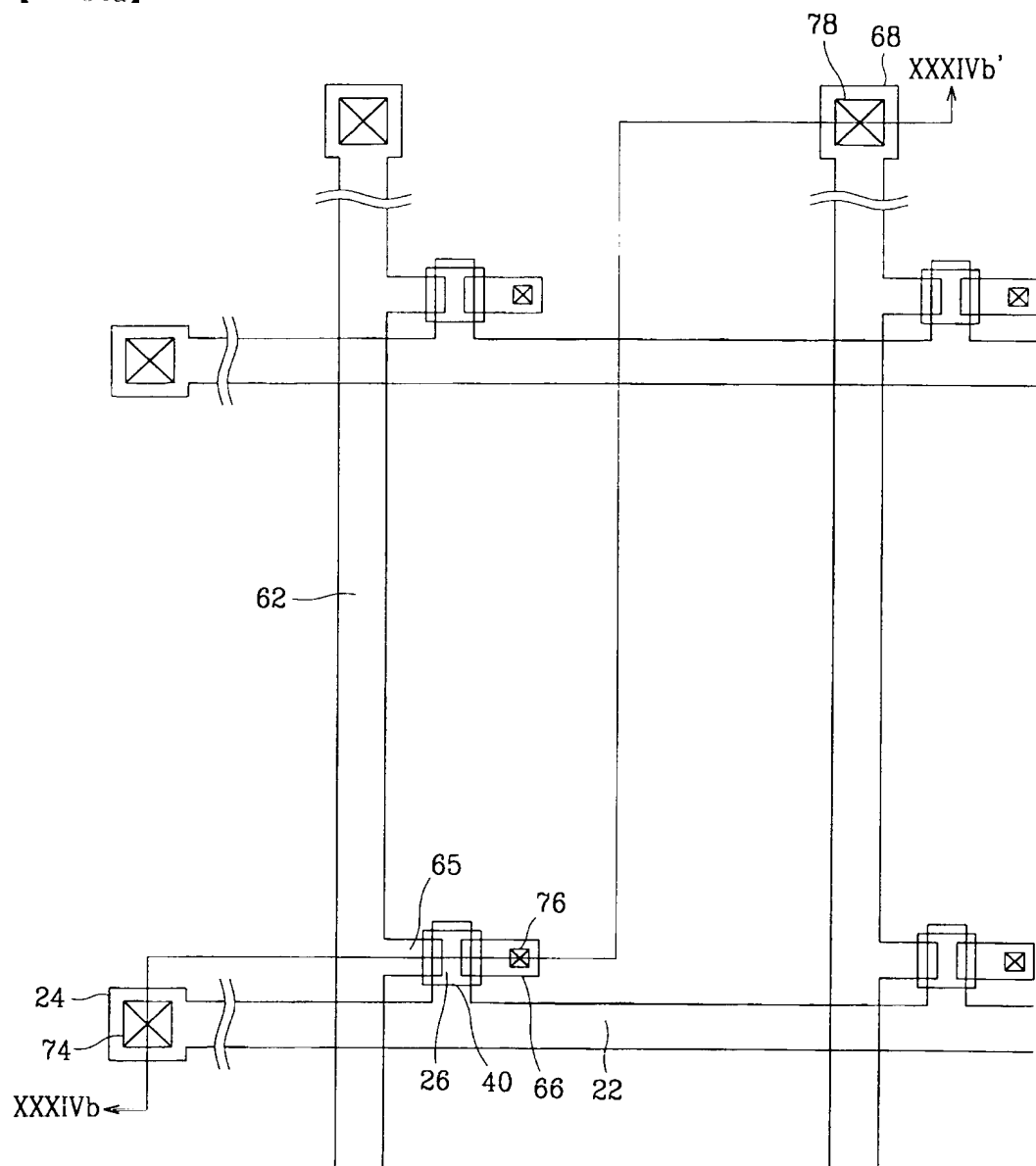
【도 33a】



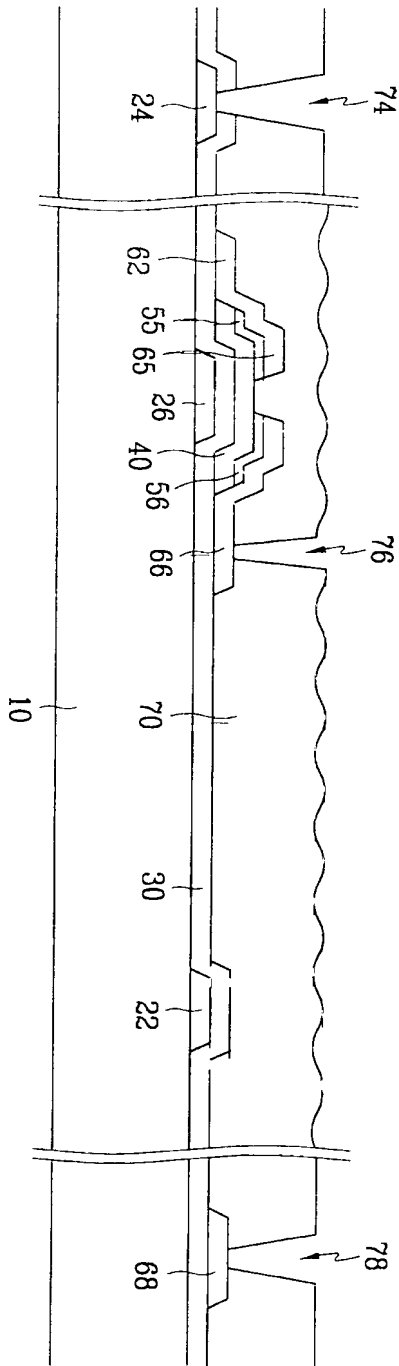
【도 33b】



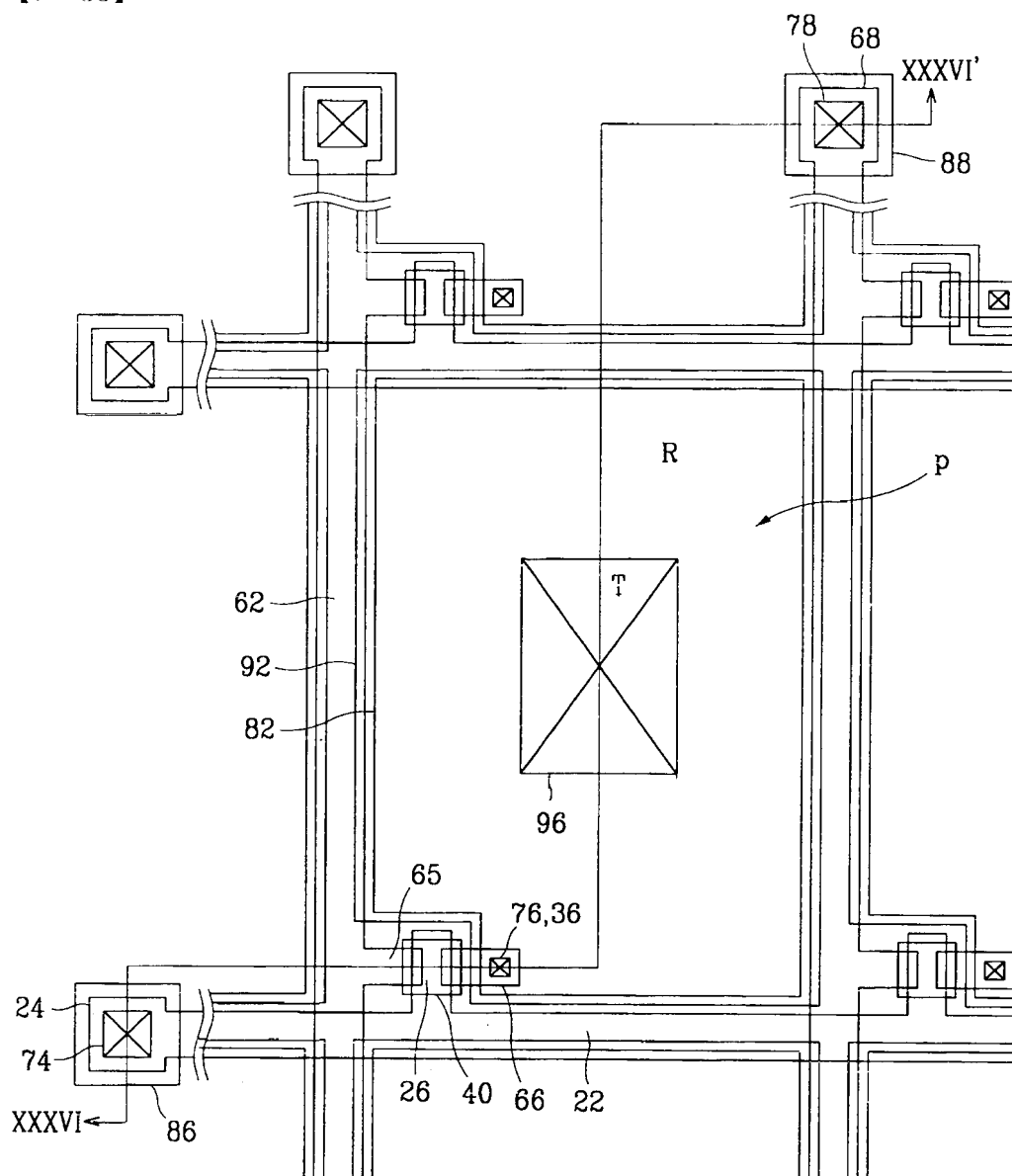
【도 34a】



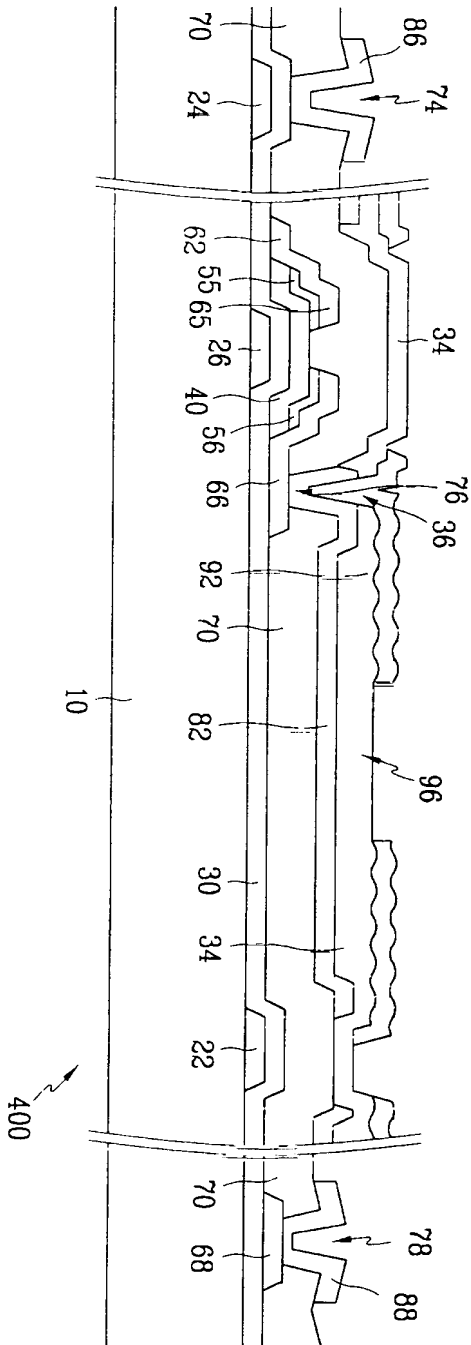
【도 34b】



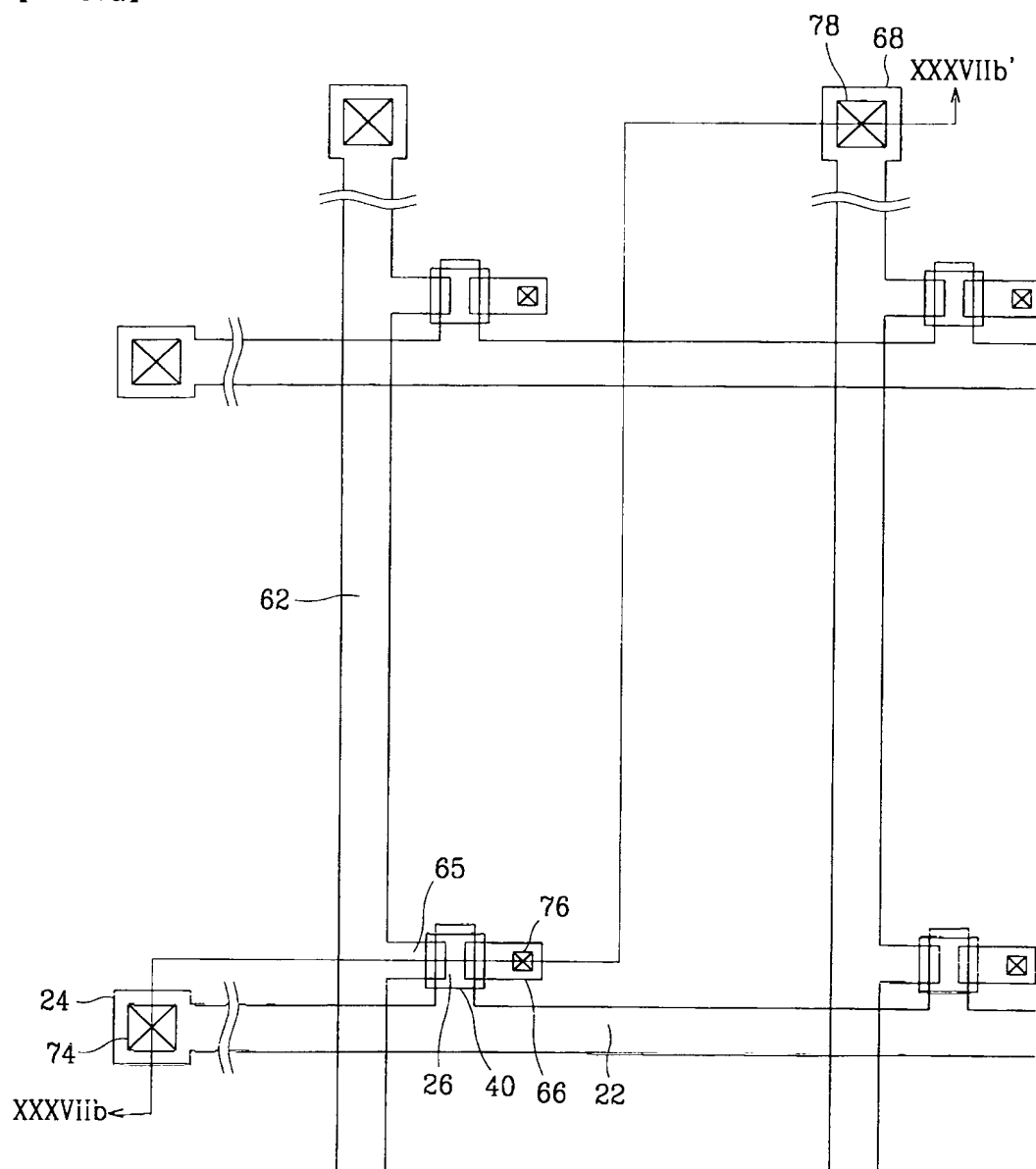
【도 35】



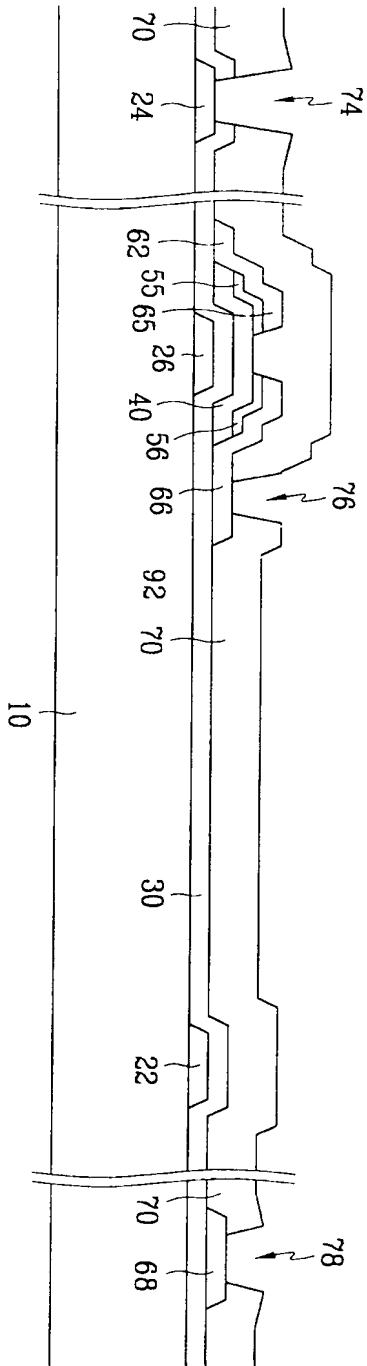
【도 36】



【도 37a】

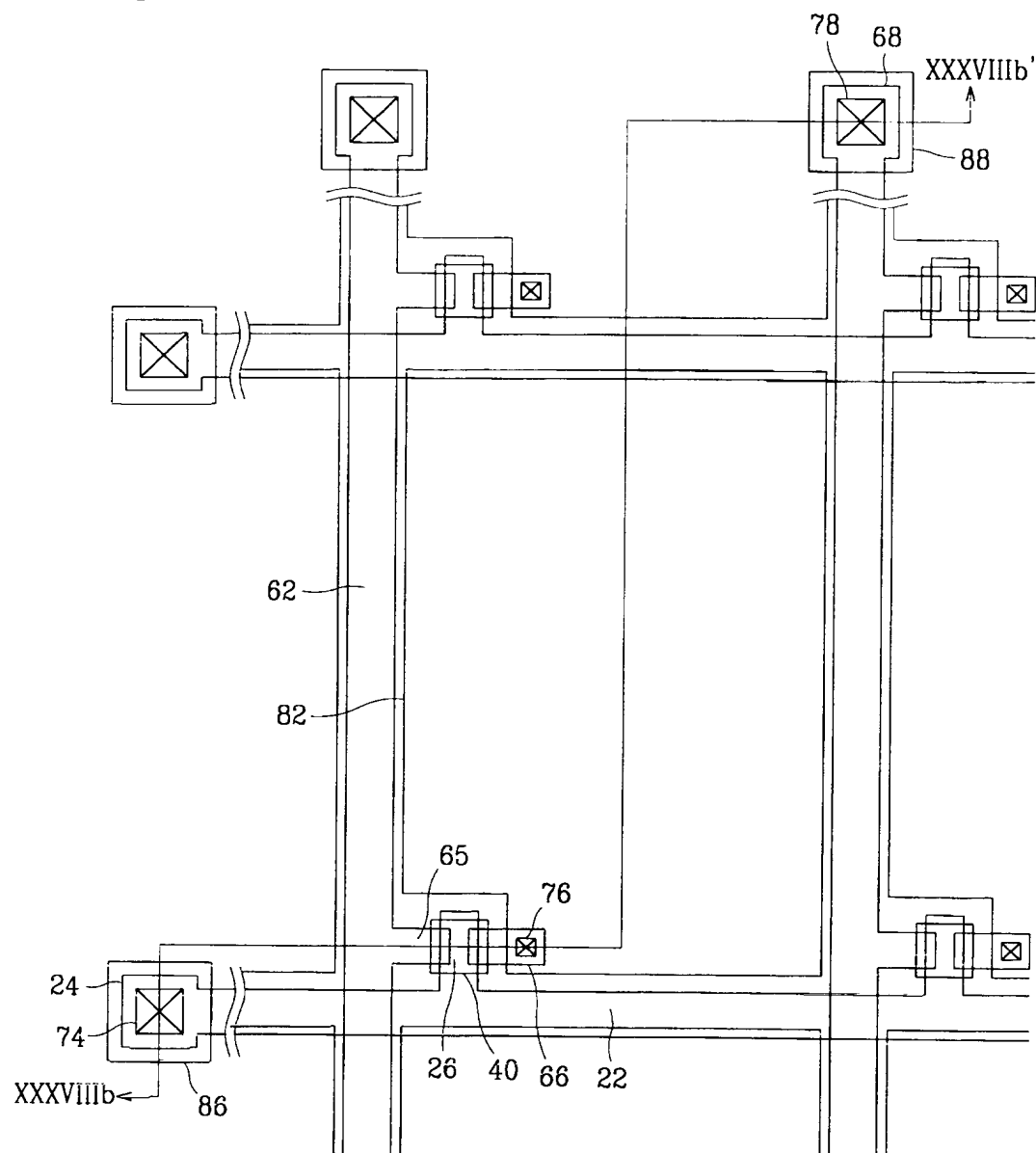


【도 37b】

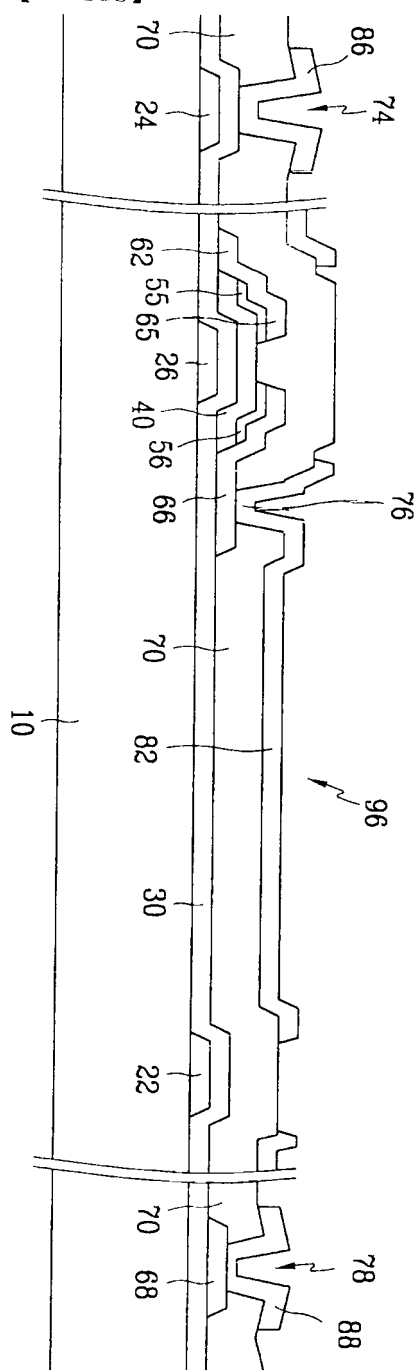




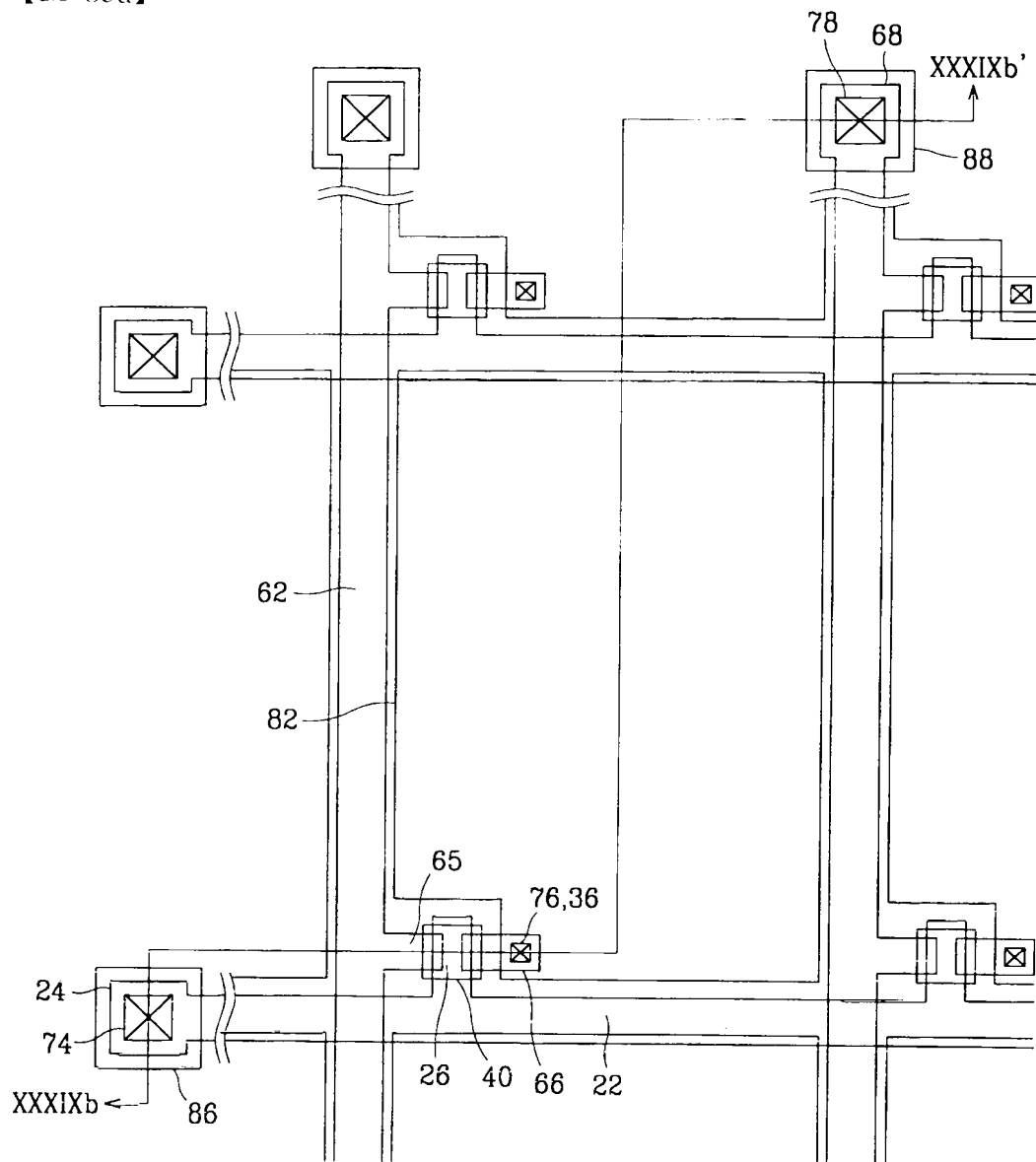
【도 38a】



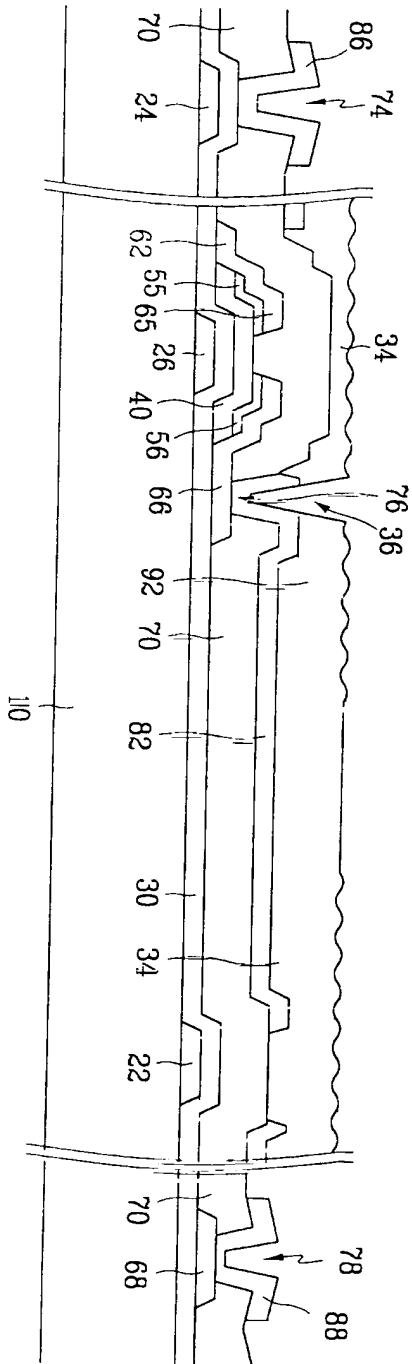
【도 38b】



【도 39a】



【도 39b】



【도 40】

